

# PCIe 扩展 ROM 控制芯片 CH366

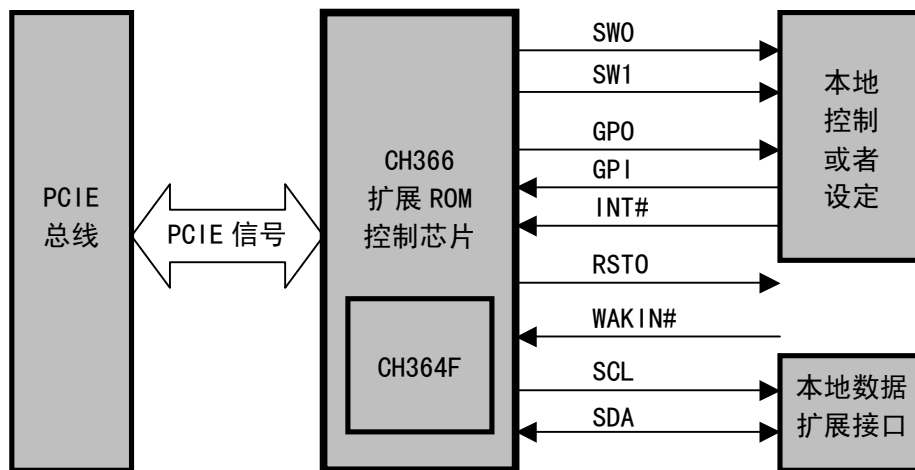
手册

版本: 1A

<http://wch.cn>

## 1、概述

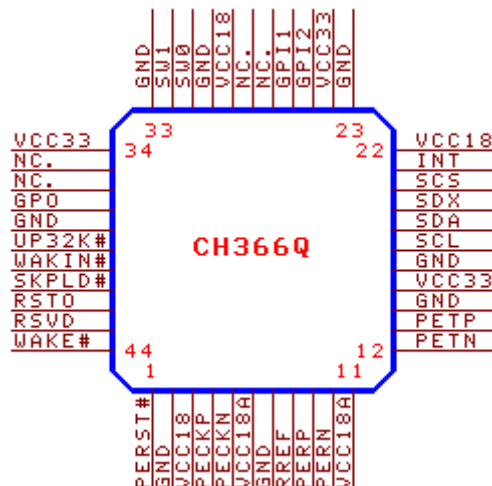
CH366 是一个 PCI-Express 总线的扩展 ROM 控制卡的专用芯片。CH366 提供容量为 64KB 的可电擦写只读存储器 Flash-ROM，支持软件模拟兼容 I<sup>2</sup>C 的两线串口进行数据和 I/O 扩展，专用于各种带有扩展 ROM 的 PCIe 控制卡，包括系统还原卡、数据保护卡、网络隔离卡、安全控制卡等，由于无需额外 ROM 芯片，所以更专业、更美观、更方便、更便宜、更省心。下图为其一般应用框图。



## 2、特点

- 支持窗口容量为 32KB 的扩展 ROM (Boot ROM)，支持 BIOS 无硬盘引导。
- 提供可电擦写的只读存储器 Flash-ROM，容量为 64KB 或更多，支持客户端随时在线升级。
- 由 Flash-ROM 定义 PCIe 板卡的识别信息 (Vendor ID, Device ID, Class Code)。
- 支持在运行中动态修改 PCIe 板卡的识别信息 (Vendor ID, Device ID, Class Code 等)。
- 部分内部寄存器和外部引脚 SW0 和 SW1 受到保护，支持状态锁定功能。
- 提供可锁定的通用输出引脚 SW0 和 SW1，支持 PCIe 复位自动加载功能。
- 提供非锁定的通用双向输入输出引脚 SDA，提供通用输入引脚 GPI，提供通用输出引脚 GPO。
- 可以由软件控制 SCL 引脚和 SDA 引脚模拟兼容 I<sup>2</sup>C 的两线串口，用于数据和 I/O 扩展。
- 提供不受 PCIe 复位影响的内部寄存器位，用于应用程序传递标志给扩展 ROM 程序。
- 3.3V 电源电压，I/O 引脚支持 5V 耐压，支持低功耗睡眠模式和唤醒。
- LQFP-44 无铅封装，兼容 RoHS。

## 3、封装



封装形式	塑体宽度	引脚间距		封装说明	订货型号
LQFP-44	10mm x 10mm	0.8mm	31.5mil	标准 LQFP44 脚贴片	CH366Q

## 4、引脚

### 4.1. 电源线

引脚号	引脚名称	类型	引脚说明
15, 24, 34	VCC33	电源	3.3V I/O 电源
3, 22, 29	VCC18	电源	1.8V 内核电源
6, 11	VCC18A	电源	1.8V 传输电源
2, 7, 14, 16, 23, 30, 33, 38	GND	电源	公共接地端
27, 28, 35, 36	NC.	空脚	禁止连接

### 4.2. PCIE 总线信号线

引脚号	引脚名称	类型	引脚说明
1	PERST#	输入	系统复位信号线，低电平有效
4, 5	PECKP/PECKN	输入	系统参考时钟差分输入
9, 10	PERP/PERN	PCIE 输入	PCIE 接收器差分信号输入
13, 12	PETP/PETN	PCIE 输出	PCIE 发送器差分信号输出
44	WAKE#	开漏输出	总线唤醒输出，低电平有效，未用到则可以不连接

### 4.3. 与 CH364F 互连信号线

CH366Q 引脚号	引脚名称	CH364F SOP8 引脚号	引脚说明
20	SCS	1	片选
17	SCL	6	时钟
19	SDX	2、5	数据

### 4.4. 本地端信号线

引脚号	引脚名称	类型	引脚说明
31	SW0	输出	可锁定的通用输出引脚，默认是低电平
32	SW1	输出	可锁定的通用输出引脚，默认是高电平
37	GPO	输出	通用输出
42	RST0	输出	低电平有效的复位输出，通用输出
26	GP11	输入	通用输入，内置上拉电阻
25	GP12	输入	通用输入，内置上拉电阻
21	INT#	输入	中断请求输入，低电平或者高电平有效，内置上拉电阻
18	SDA	开漏输出及输入	通用输出及输入，内置上拉电阻，可以外接串行 EEPROM 配置芯片 24CXX 的 SDA 引脚

### 4.5. 辅助信号线

引脚号	引脚名称	类型	引脚说明
8	RREF	输入	系统参考电流输入，需要外接 12K $\Omega$ 电阻到 GND
40	WAKIN#	输入	唤醒请求输入，低电平有效，未用到则必须接高电平
39	UP32K#	输入	强制加载次 32KB 输入，低电平有效，内置上拉电阻
41	SKPLD#	输入	禁止自动加载参数输入，低电平有效，内置上拉电阻
1	RSVD	保留	保留引脚，禁止连接

## 5、寄存器

### 5.1. 基本约定

- 5.1.1. 属性简写：R=完全只读，W=可读可写，S=只读但可以事先设定，....=省略号。  
 5.1.2. 数据的数制：如果以 H 结尾则为十六进制数，否则为二进制数。  
 5.1.3. 数值的通配符以及属性：r=保留（禁止使用），x=任意值，....=省略号。

### 5.2. PCIE 配置空间

地址	寄存器名称	寄存器属性	系统复位后默认值
01H-00H	VID 厂商标识: Vendor ID	SSSS	1C00H
03H-02H	DID 设备标识: Device ID	SSSS	4349H
05H-04H	命令寄存器: Command	RRRRRRRRRRRRWWW	0000000000000000
07H-06H	状态寄存器: Status	RRRRRRRRRRRRRRR	00000000001x000
08H	芯片版本: Revision ID	SS	10H
0BH-09H	设备类代码: Class Code	SSSSSS	018000H
0FH-0CH		RRRRRRRR	00000000H
13H-10H	I/O 基址: I/O Base Address	WWWWWRRR	00000001H
2BH-14H		RRRR... RRRR	0000... 0000H
2DH-2CH	子系统厂商标识: Subsystem Vendor ID	SSSS	与 VID 相同
2FH-2EH	子系统标识: Subsystem ID	SSSS	与 DID 相同
33H-30H	扩展 ROM 基址: ROM Base Address	WWWWWWWWWWWWWW WRRRRRRRRRRRRRW	0000000000000000 0000000000000000
3BH-34H		RRRR... RRRR	0000... 0060H
3FH-3CH	中断号和中断引脚等: Interrupt Line & Pin	RRRRRRRRRRRRRRR RRRRRRRRWWWWWWW	0000000000000000 0000000100000000
FFH-40H	保留	(禁止使用)	(禁止使用)

### 5.3. I/O 基址的寄存器

寄存器的实际地址为 I/O 基址加表中的偏移地址。

偏移地址	寄存器名称	简称	寄存器属性	系统复位后默认值
00H	输出寄存器	GPOR	WWWWWWW	0000111
01H	控制寄存器	CTLR	WWWWWWW	00001010
02H	输入寄存器	GPIR	RRRRRRRR	11r11111
03H	中断控制寄存器	INTCR	RRRRRWW	rrrrr00r
17H-04H	保留		(禁止使用)	xxH
18H	辅助寄存器	AUXR	WRRRRRW	1rrrrr1
FFH-19H	保留		(禁止使用)	xxH

## 5.4. 寄存器的位

属性中有“\*”的位是受保护位，支持状态锁定功能，由通用输出寄存器 GPOR 的位 3 设置锁定。  
属性中有“#”的位是受保护位，支持状态锁定功能，由通用输出寄存器 GPOR 的位 4 设置锁定。

寄存器名称	位址	属性	位的使用说明(默认值)	位值=0	位值=1
输出寄存器 GPOR (I/O 基址+00H 地址)	位 0	W	设定 SDA 引脚的输出值(1)	低电平	高电平
	位 1	W	设定 SCL 引脚的输出值(1)	低电平	高电平
	位 2	W*	设定 SCS 引脚的输出值(1)	低电平	高电平
	位 3	W*	设置基本锁定状态(0)	解除锁定	进入锁定
	位 4	W#	设置 SW 引脚的锁定状态(0)	解除锁定	进入锁定
	位 5	W	使能支持被强制唤醒(0)	不支持	支持
	位 6	W	设定 SDX 引脚的数据方向(0)	输入	输出
	位 7	W	设定 SDX 引脚的输出值(0)	低电平	高电平
控制寄存器 CTLR (I/O 基址+01H 地址)	位 0	W#	设置 SW0 引脚的输出(0)	低电平	高电平
	位 1	W#	设置 SW1 引脚的输出(1)	低电平	高电平
	位 2	W	预置复位后 SW0 引脚的输出(0)	复位时加载到 0	
	位 3	W	预置复位后 SW1 引脚的输出(1)	复位时加载到 1	
	位 4 ~位 6	WWW	软件可以读写的位变量(000) 不受 PCIE 总线复位的影响	由应用程序定义	
输入寄存器 GPIR (I/O 基址+02H 地址)	位 0	R	输入 SDA 引脚的状态(1)	低电平	高电平
	位 1	R	输入 GPI1 引脚的状态(1)	低电平	高电平
	位 2	R	输入 GPI2 引脚的状态(1)	低电平	高电平
	位 3	R	输入 INT#引脚的状态(1)	低电平	高电平
	位 4	R	输入 WAKIN#引脚的状态(1)	低电平	高电平
	位 6	R	输入 UP32K#引脚的状态(1)	低电平	高电平
	位 7	R	输入 SDX 引脚的状态(1)	低电平	高电平
中断控制寄存器 INTCR (I/O 基址+03H 地址)	位 1	W*	全局中断使能(0)	禁止中断	使能中断
	位 2	W*	INT#引脚中断输入的极性(0)	低电平	高电平
辅助寄存器 AUXR (I/O 基址+18H 地址)	位 0	W	设定 GPO 引脚的输出值(1)	低电平	高电平
	位 7	W	设定 RSTO 引脚的输出值(1)	低电平	高电平

## 6. 功能说明

### 6.1. 外部配置芯片

CH366 芯片会在每次开机或者 PCIE 总线复位后检查外部的 24CXX 配置芯片中的数据，如果连接了配置芯片并且数据有效则自动加载到 CH366 芯片中替换默认的 PCIE 识别信息。如果配置参数 CFG 有效（位 7 为 1，位 6 为 0）并且控制寄存器 CTLR 的位 7 为 0（选择从配置参数加载），那么配置参数的位 1 和位 0 将会在复位完成前被自动加载到控制输出引脚 SW1 和 SW0。

SKPLD#引脚用于设定是否检查外部配置芯片，为低电平则不检查外部配置芯片，从而禁止自动加载配置参数。

配置芯片 24CXX 是一种 4 脚或者 8 脚封装的非易失串行 EEPROM 存储器，除了向 CH366 提供配置信息之外，还可以供应用程序自行保存一些其它参数。CH366 支持以下型号的 24CXX 芯片：24C01(A)、24C02、24C04、24C08、24C16 等。

下表是配置芯片 24CXX 中的数据定义。其中 VID/DID/CC 等各 ID 识别信息仅在 Flash-ROM 中的扩展 ROM 头标区无效（前两个字节不是 55H、0AAH）时起作用。

字节地址	简称	数据用途说明	默认值
00H	SIG	外部配置芯片有效标志，必须是 43H	43H
01H	CFG	配置参数，有效参数的位 7 必须为 1，位 6 必须为 0，位 1 位 0 用于在复位后自动加载到 SW1/SWO 控制输出	82H
03H-02H	RSVD	(保留单元)	0000H
05H-04H	VID	厂商标识: Vendor ID	自定义
07H-06H	DID	设备标识: Device ID	自定义
08H	RID	芯片版本: Revision ID	自定义
0BH-09H	CLS	设备类代码: Class Code	018000H
0DH-0CH	SVID	子系统厂商标识: Subsystem Vendor ID	自定义
0FH-0EH	SID	子系统标识: Subsystem ID	自定义
1FH-10H	RSVD	(保留单元)	00H 或 FFH
其它地址	APP	用户或应用程序自定义单元	

## 6.2. 扩展 ROM

CH366 专用于 PCIE 扩展 ROM 控制卡，支持容量为 64KB~1MB 的 Flash-ROM，支持电擦写，便于应用程序保存重要数据，和在客户端进行在线下载及升级扩展 ROM 程序。CH366 提供了子程序库，支持 Flash-ROM 的读取、擦除、写入以及写保护锁定操作。

CH366 的扩展 ROM 窗口容量为 32KB，而 Flash-ROM 的容量通常大于 32K，一般分为主程序和辅助数据两大块：主程序包括 BIOS 引导代码和应用主程序，并且包含 PCIE 扩展 ROM 头标区，由主板 BIOS 自动加载；辅助数据包括扩展程序和应用数据等，由已经加载的主程序根据需要动态加载。CH366 支持两套完全独立的 32KB 主程序，由复位时 UP32K#引脚的状态选择。

以 128KB 容量的 Flash-ROM 为例，默认 Flash-ROM 前 32KB（地址 00000H-07FFFH）用于第一套主程序（含引导代码和扩展 ROM 头标区），当 UP32K#引脚为高电平时被主板 BIOS 自动加载；Flash-ROM 次 32KB（地址 08000H-0FFFFH）用于第二套主程序（含另一套引导代码和扩展 ROM 头标区），当 UP32K#引脚为低电平时被主板 BIOS 自动加载；当前未用到的区域（除主程序之外的区域），包括 Flash-ROM 后 64KB（地址 10000H-1FFFFH）可以用于辅助数据。

PCIE 扩展 ROM 头标区要求：0000H 地址是 55H，0001H 地址是 0AAH，0002H 地址是长度指示，数值 40H 代表 32KB 扩展 ROM，以及“PCIR”结构，在 PCIR 结构中还包括 PCIE 扩展 ROM 的厂商 Vendor-ID（VID）、设备 Device-ID（DID）、版本 Revision-ID（RID）和设备分类码 Class-Code（CLS）等。

CH366 的 PCIE 板卡识别信息，包括 VID、DID、RID 和 CLS 等由 Flash-ROM 中的数据定义。厂商标识 VID、设备标识 DID、芯片版本 RID 和设备分类码 CLS 分别由 Flash-ROM 的 20H-21H、22H-23H、28H 和 29H-2BH 地址提供。

下图是 Flash-ROM 的实际头部数据。按图中数据，CH366 的厂商 ID 是 8899H，设备 ID 是 1234H，设备类是 018000H，扩展 ROM 的大小为 32KB。

地址	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
0000H	55	AA	40	程序跳转												
0010H									1C	00			50	43	49	52
0020H	99	88	34	12	00	00	18	00	00	00	80	01	40	00	00	00
0030H	00	80	00	00												
0040H																

## 6.3. 寄存器和引脚

CH366 支持状态锁定，具有两种工作状态：解锁状态和锁定状态。

解锁状态是 PCIE 总线复位后的默认工作状态。这种状态下可以对 CH366 的所有内部寄存器和外部引脚的状态进行任意修改，没有任何限制。

锁定状态是由软件设置使 CH366 进入一种局部保护的工作状态。在锁定状态下，部分内部寄存器

和外部引脚受到保护，其状态不能被修改，始终保持锁定之前的数值，直到退出锁定状态。只有 PCIE 总线复位（也就是计算机重启）能使 CH366 退出锁定状态，同时使这些内部寄存器和外部引脚恢复为默认值，在复位完成后可以被任意修改。

在 PCIE 总线复位时，CH366 会自动解锁。在复位完成后，可以由软件随时设置成锁定状态。在 CH366 进入锁定状态后，不能再由软件设置恢复成解锁状态，所以 CH366 将一直保持锁定状态，直到 PCIE 总线复位。

CH366 的锁定结构分为两组，两组之间完全独立：一组由输出寄存器 GPOR 的位 4 控制是否锁定，仅用于控制输出引脚 SW0 和 SW1 的锁定；另一组由输出寄存器 GPOR 的位 3 控制是否锁定，用于控制除输出引脚 SW0 和 SW1 之外的其余引脚和中断等寄存器位，包括控制 Flash-ROM，锁定后禁止读写。

控制寄存器 CTRL 中的数据位 2~位 7 不受 PCIE 总线复位（计算机重启）的影响，位 0 和位 1 分别控制 SW0 和 SW1 输出引脚，位 7 用于选择在 PCIE 总线复位时自动加载到位 1（SW1）和位 0（SW0）的数据源：位 7 为 0 则从外部配置芯片的有效配置参数的位 1 和位 0 加载；没有外部配置芯片、或者配置参数无效、或者位 7 为 1 时，从控制寄存器 CTRL 的位 3 和位 2 加载。

控制寄存器 CTRL 只是在 CH366 电源上电时（刚开启电源时）恢复到默认值，在 PCIE 总线复位时，控制寄存器中的数据除位 0 和位 1 自动加载之外均保持不变。除控制寄存器外，其它寄存器中的数据在每次 PCIE 总线复位时都将恢复到默认值。控制寄存器中提供的位变量位 4~位 6，没有预先定义，通常用于操作系统中的界面应用程序向重启后的用户 ROM 程序提供标志。

CH366 的 SW0 引脚和 SW1 引脚都是可锁定的通用功能的输出引脚。在 CH366 电源上电时，SW0 输出低电平，SW1 输出高电平。在上电完成后，可以由软件随时将其设置成输出低电平或者高电平。在 CH366 的输出寄存器 GPOR 的位 4 置 1 进入锁定状态后，SW0 引脚和 SW1 引脚受到保护，其状态无法被修改。在 PCIE 总线复位时，控制寄存器的位 0 和位 1 分别被自动加载数据，并控制 SW0 和 SW1 引脚的输出状态。

CH366 的 SCS 引脚是支持锁定的通用功能的输出引脚。

CH366 的 RST0 是复位输出引脚，低电平有效。在 PCIE 总线复位期间，RST0 引脚输出低电平；在完成 Flash-ROM 配置信息加载后，RST0 输出高电平；然后再从外部配置芯片 EEPROM 中加载配置信息；最后 CH366 芯片进入正常工作状态，RST0 引脚切换为通用输出引脚。

CH366 的 GPO 引脚为通用输出。在 PCIE 总线复位期间，GPO 引脚输出高电平；同时检查通用输入引脚 GPI1 的状态，在复位完成、从 Flash-ROM 配置信息加载前，GPO 引脚根据 GPI1 的状态重新设定，复位时 GPI1 为高则 GPO 保持为高电平，复位时 GPI1 为低则 GPO 切换为低电平；最后 CH366 芯片进入正常工作状态，GPO 引脚作为普通的通用输出引脚。

CH366 的 SCL 引脚和 GPO 引脚以及 RST0 引脚都是非锁定的通用功能的输出引脚。

CH366 的 SDX 引脚是非锁定的通用功能的双向输入输出引脚，芯片内部带上拉电阻。在 PCIE 总线复位时，SDA 引脚总是恢复为输入状态。在复位完成后，可以由软件随时将其设置成输出低电平或者输出高电平。

CH366 的 SDA 引脚是非锁定的通用功能的双向输入输出引脚，开漏输出，芯片内部带上拉电阻。在 PCIE 总线复位时，SDA 引脚的开漏输出被禁止，从而由其上拉电阻保持在高电平。在复位完成后，可以由软件随时将其设置成输出低电平或者不输出。在 SDA 引脚输出低电平时，输入也总是 0；在 SDA 引脚不输出时，输入状态可以由外部电路提供，外部电路提供低电平时输入为 0，否则输入为 1。

CH366 的 GPI1 和 GPI2 引脚是通用功能的输入引脚，芯片内部带上拉电阻，输入状态可以由外部电路提供，外部电路提供低电平时输入为 0，否则输入为 1。

CH366 的 INT#引脚是中断请求输入引脚，不用中断功能时，可以作为通用功能的输入引脚。

CH366 芯片的输出引脚都是 3.3V LVCMOS 电平，兼容 5V TTL 电平，输入引脚除 PCIE 信号引脚和 WAKIN#引脚之外，都能够承受 5V 耐压，兼容 5V CMOS 电平、3.3V LVCMOS 和 5V TTL 及 LVTTTL 电平。

## 6.4. 硬件中断

CH366 支持低电平或者高电平中断请求输入，由中断控制寄存器 INTCR 的位 2 选择。当 INT#引脚检测到有效电平输入后，CH366 直接向 PCIE 总线申请中断。当输入电平无效后，CH366 会向 PCIE 总线取消（结束）本次中断请求。如果在 CH366 向 PCIE 总线申请中断后很快又取消中断请求，那么本次中断请求有可能会被 PC 机忽略。标准的中断过程如下：

- ① 外部电路向 INT#引脚输出有效的电平中断请求信号。
- ② CH366 通过 PCIE 总线向 PC 机申请中断。
- ③ PC 机进入 CH366 的中断服务程序。
- ④ 中断服务程序进行必要的中断处理，该步骤也可以在退出中断前再执行。
- ⑤ 中断服务程序应该通知外部电路撤消电平中断请求。
- ⑥ CH366 通过 PCIE 总线撤消了对 PC 机的中断请求。
- ⑦ 中断处理完毕，PC 机退出 CH366 的中断服务程序。

## 7、参数

### 7.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VCC33	I/O 电源电压（VCC33 接电源，GND 接地）	-0.4	4.2	V
VCC18 VCC18A	内核电源电压（VCC18 接电源，GND 接地） 传输电源电压（VCC18A 接电源，GND 接地）	-0.4	2.3	V
VI0	PCIE 信号和 WAKIN#输入或者输出引脚上的电压	-0.4	VCC33+0.4	V
VI05	其它输入或者输出引脚上的电压	-0.4	5.4V	V

### 7.2. 电气参数（测试条件：TA=25°C，VCC33=3.3V，不包括连接 PCIE 总线的引脚）

名称	参数说明	最小值	典型值	最大值	单位
VCC33	I/O 电源电压	3.0	3.3	3.6	V
VCC18 VCC18A	内核电源电压 传输电源电压	1.65	1.8	1.95	V
ICC	工作时的总电源电流		60	160	mA
VIL	低电平输入电压	-0.4		0.7	V
VIH	高电平输入电压	2.0		VCC33+0.4	V
VOL4	SDA 引脚低电平输出电压（4mA 吸入电流）			0.4	V
VOL	其它引脚低电平输出电压（8mA 吸入电流）			0.4	V
VOH	高电平输出电压（4mA 输出电流）	VCC33-0.4			V
IIN	无上拉的输入端的输入电流			10	uA
IUP	带上拉的输入端的输入电流	20	40	100	uA

### 7.3. 时序参数（测试条件：TA=25°C，VCC33=3.3V）

名称	参数说明	最小值	典型值	最大值	单位
FCLK	CLK 输入频率（PCIE 总线的主频）	0	100	105	MHz
FSCL2	两线接口自动加载时 SCL 输出频率		244	260	KHz
FSCL3	三线接口自动加载时 SCL 输出频率		31	35	MHz

## 8、应用

### 8.1. 硬件电路

这是 CH366 的典型应用电路。U1 和 U3 分别是 CH366Q 和 CH364F。

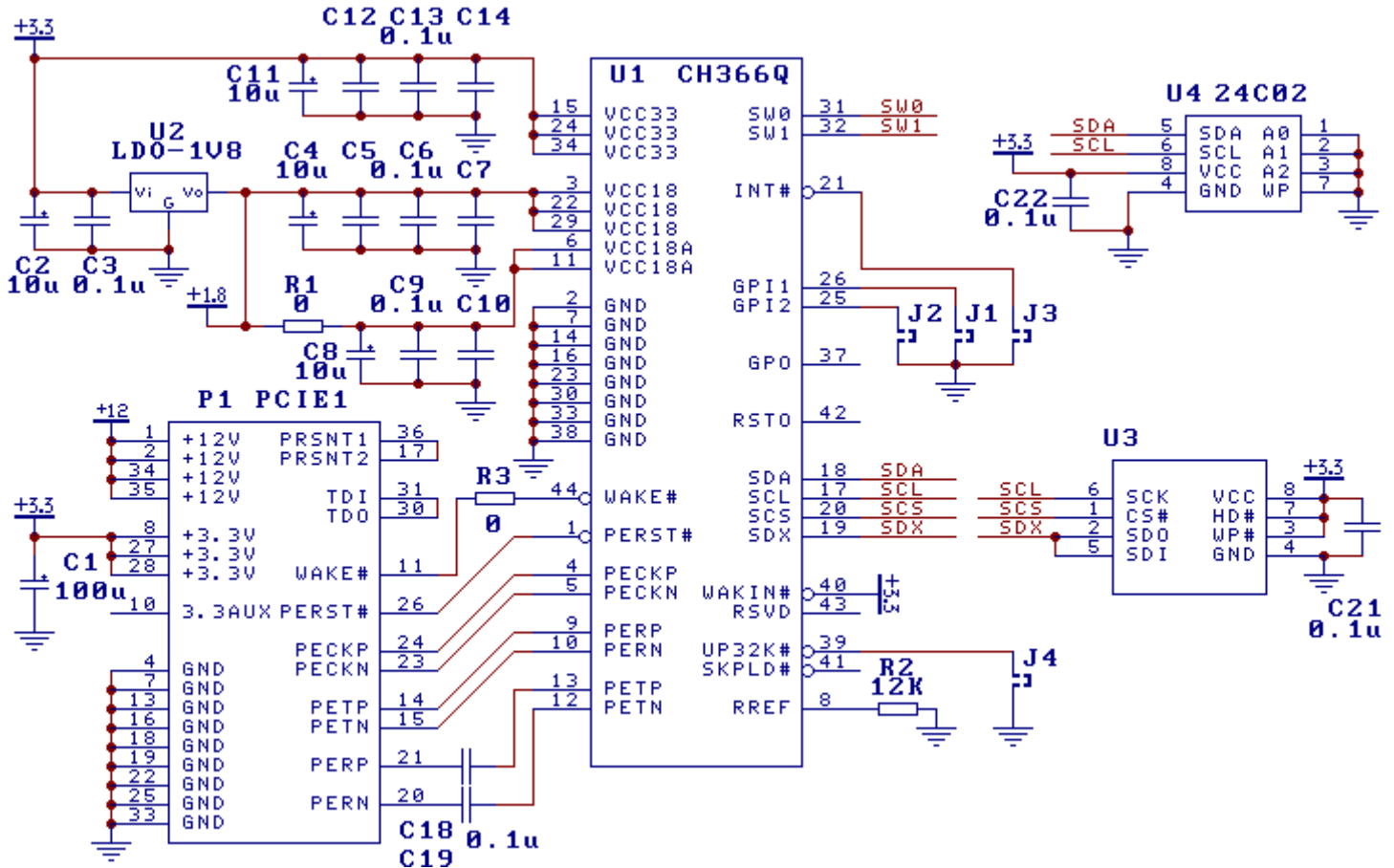
图中电容用于电源退耦，容量为 10 $\mu$ F 的电容是钽电容，容量为 0.1 $\mu$ F 的电容是独石或者高频瓷片电容，分别就近并联在 CH366 和 CH364F 的电源引脚上。

图中的跳线 J1、J2、J3 是可选的，可以用于输入状态供扩展 ROM 程序进行判断。默认情况下，J1 用于临时禁止扩展 ROM 程序，J2 用于选择启动模式，J3 没有定义。

CH366 的 SW0 和 SW1 引脚可以通过 2K $\Omega$  电阻连接到三极管，用于控制外部设备。

如果未使用唤醒功能，那么 WAKIN# 引脚必须接高电平，WAKE# 引脚可以悬空。

**CH366 属于高频电路，在设计 PCB 板时请参考 PCIE 总线规范，或者参考 PCIE\_PCB.PDF 文档。**



## 8.2. 软件流程

CH366 支持扩展 ROM 子程序库 BRM V4.0 及以上版本，基于 BRM 可以支持仿 Windows 图形界面和中英文显示，支持硬盘文件读写，支持 Flash-ROM 读写等等。

基本流程示例如下（如果 CTRL 位 7 置 1，那么重启时将从位 3 和位 2 加载，同 CH364 芯片）：



