

PCI 总线双串口或打印口芯片 CH351

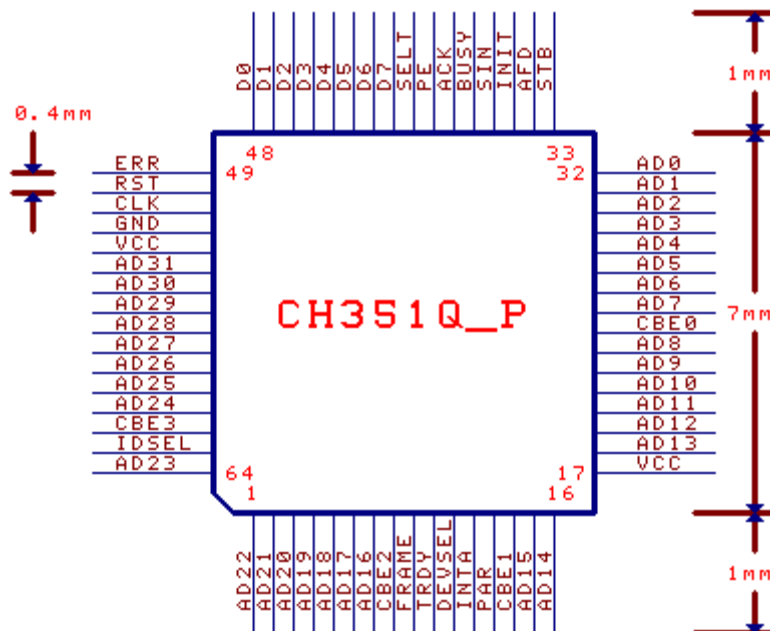
手册 (二): 串口/打印口

版本: 1A

<http://wch.cn>

1、封装

串口/打印口



有关双串口的应用说明和引脚图请参考手册 (一) CH351DS1.PDF。

2、引脚

2.1. 电源线

引脚号	引脚名称	类型	引脚说明
17, 53	VCC	电源	正电源端
52	GND	电源	公共接地端

2.2. PCI 总线信号线

引脚号	引脚名称	类型	引脚说明
50	RST	输入	系统复位信号线, 低电平有效
51	CLK	输入	系统时钟信号线, 上升沿有效
54-61, 64, 1-7, 15-16, 18-23, 25-32	AD31~AD0	三态输出 及输入	地址和双向数据复用信号线
62, 8, 14, 24	CBE3~CBE0	输入	总线命令和字节使能复用信号线
13	PAR	三态双向	奇偶校验信号线
63	IDSEL	输入	初始化设备选择信号线, 高电平有效
9	FRAME	输入	帧周期开始信号线, 低电平有效

10	TRDY	三态输出	目标设备准备好信号线，低电平有效
11	DEVSEL	三态输出	目标设备选中信号线，低电平有效
12	INTA	开漏输出	INTA 中断请求信号线，低电平有效

2.3. 打印口信号线

引脚号	引脚名称	类型	引脚说明
41-48	D7~D0	三态双向	8 位并行数据输出及输入，内置上拉，接 DATA7~DATA0
33	STB	输出	数据选通输出，低电平有效，接 STROBE
34	AFD	输出	自动换行输出，低电平有效，接 AUTO-FEED
35	INIT	输出	初始化打印机，低电平有效，接 INIT
36	SIN	输出	选中打印机，低电平有效，接 SELECT-IN
49	ERR	输入	打印机出错，低有效，内置上拉，接 ERROR 或 FAULT
40	SELT	输入	打印机联机，高有效，内置上拉，接 SELECT 或 SLCT
39	PE	输入	打印机缺纸，高有效，内置上拉，接 PEMPTY 或 PERROR
38	ACK	输入	打印机数据接收应答，上升沿有效，内置上拉，接 ACK
37	BUSY	输入	打印机正忙，高有效，内置上拉，接 BUSY

3、寄存器

有关寄存器的基本约定、PCI 配置空间的说明、配置寄存器的位说明，请参考手册（一）。

CH351 的并口兼容 SPP 标准打印口并有所增强，表中标为灰色的寄存器位为增强功能。并口寄存器的实际地址为 I/O 基址 1 加表中的偏移地址。CH351 的并口主要有 3 种工作方式：SPP（含 Nibble、Byte 和 PS/2）、EPP 和 ECP，表中方式 ALL 是指所有方式，ADV 是指 EPP 和 ECP，R0 表示寄存器只读，W0 表示寄存器只写，R/W 表示寄存器可读可写。

地址	方式	R/W	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	SPP	R0	PIR	D7IN	D6IN	D5IN	D4IN	D3IN	D2IN	D1IN	D0IN
0	ADV	R0	PIR	IBD7	IBD6	IBD5	IBD4	IBD3	IBD2	IBD1	IBD0
0	ALL	W0	PDR	D7OUT	D6OUT	D5OUT	D4OUT	D3OUT	D2OUT	D1OUT	D0OUT
1	SPP	R0	PSR	!BUSY	ACK	PE	SELT	ERR	!INTFLAG	1	1
1	EPP	R0	PSR						1	1	!EPPREQ
1	ECP	R0	PSR						!ECPICMD	!ECPIBF	!ECPOUT
2	ALL	R/W	PCR	1	1	DIRIN	INTEN	!SIN	INIT	!AFD	!STB
3	SPP	R/W	PXR	0	0	0	0	0	0	0	0
3	EPP	R/W	PXR	0	0	0	0	EPPADDR	MODEEPP	0	0
3	ECP	R/W	PXR	0	0	0	ECPINTF	0	0	ECPDIRIN	MODEECP

下表是并口寄存器在上电复位或者 PCI 总线复位之后的默认值。

寄存器名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
PIR	1	1	1	1	1	1	1	1
PDR	0	0	0	0	0	0	0	0
PSR	!BUSY	ACK	PE	SELT	ERR	1	1	1
PCR	1	1	0	0	0	0	0	0
PXR	0	0	0	0	0	0	0	0

PIR: 数据输入寄存器，在 SPP 方式下用于从 D7-D0 引脚输入实时数据，在 EPP 或 ECP 方式下为已经锁存的输入/上传缓冲区中的数据。EPP 方式下，该数据在 AFD 引脚或者 SIN 引脚输出低电平时被锁存；ECP 方式下，该数据在 ACK 引脚低电平时被锁存，同时还锁存 !ECPICMD。

PDR: 数据输出寄存器，用于写入准备输出/下传的数据。在 SPP 方式下写入该寄存器将会直接输出到

D7-D0 引脚；在 EPP 或 ECP 方式下写入该寄存器将会自动执行数据输出或者数据输入的握手协议。

PSR: 状态寄存器，用于查询输入引脚和操作执行状态。

!BUSY: 该位是 SPP、EPP 和 ECP 方式下输入引脚 BUSY 的状态的反值，当 BUSY 引脚输入高电平时，该位为 0。

ACK: 该位是 SPP、EPP 和 ECP 方式下输入引脚 ACK 的状态。

PE: 该位是 SPP、EPP 和 ECP 方式下输入引脚 PE 的状态。

SELT: 该位是 SPP、EPP 和 ECP 方式下输入引脚 SELT 的状态。

ERR: 该位是 SPP、EPP 和 ECP 方式下输入引脚 ERR 的状态。

!INTFLAG: 该位是 SPP 方式下的中断标志的反值，当 ACK 引脚上升沿产生中断标志时，该位自动清 0，读取 PSR 寄存器后该位自动置 1。

!EPPREQ: 该位是 EPP 方式下存取操作进行标志的反值，当写入 PDR 寄存器时，该位自动清 0，并开始尝试 EPP 存取操作，直到操作完成，该位才自动置 1。

!ECPICMD: 该位是 ECP 方式下反向传输时命令标志的反值，当反向传输是命令时，该位为 0。

!ECPIBF: 该位是 ECP 方式下反向传输的上传缓冲区满标志的反值，当上传缓冲区满时，该位自动清 0，读取 PIR 寄存器后该位自动置 1。

!ECPOUT: 该位是 ECP 方式下正向传输操作进行标志的反值，当写入 PDR 寄存器时，该位自动清 0，并开始尝试 ECP 正向输出操作，直到操作完成，该位才自动置 1。

PCR: 控制寄存器，用于控制输出引脚和传输方向以及中断使能。

DIRIN: 该位是 SPP、EPP 和 ECP 方式下的双向数据线 D7-D0 的三态输出控制，清 0 则 D7-D0 引脚允许三态输出，置 1 则 D7-D0 引脚禁止三态输出。

INTEN: 该位是 PCI 中断输出使能，置 1 则允许输出中断请求，清 0 则禁止输出中断请求。

!SIN: 该位为 1 则 SIN 引脚输出有效（低电平有效），否则 SIN 引脚输出无效。

INIT: 该位为 1 则 INIT 引脚输出无效，否则 INIT 引脚输出有效（低电平有效）。

!AFD: 该位为 1 则 AFD 引脚输出有效（低电平有效），否则 AFD 引脚输出无效。

!STB: 该位为 1 则 STB 引脚输出有效（低电平有效），否则 STB 引脚输出无效。

PXR: 设置寄存器，用于设置并口工作方式。

EPPADDR: 该位是 EPP 方式下的目标空间选择，为 1 则对应 EPP 的地址存取操作，为 0 则对应 EPP 的数据存取操作。

MODEEPP: 该位为 1 则启用 EPP 方式。

ECPINTF: 该位是 ECP 方式下的中断标志，当 ERR 引脚下降沿产生中断标志时，该位自动置 1，读取 PXR 寄存器后该位自动清 0。

ECPDIRIN: 该位是 ECP 方式下的传输方向控制，为 0 则对应 ECP 正向传输/输出，为 1 则对应 ECP 反向传输/输入。

MODEECP: 该位为 1 则启用 ECP 方式。

4、功能说明

4.1. 查询与中断

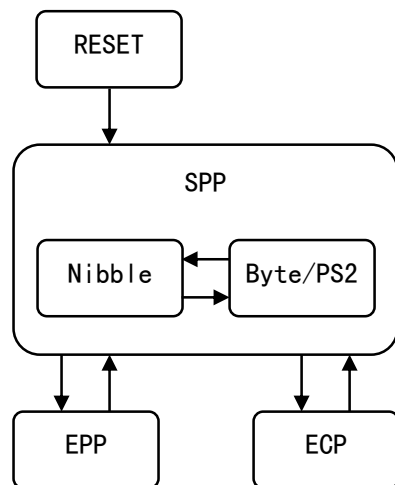
CH351 芯片的并口使用一个 PCI 中断请求引脚，所以在进入 PCI 中断服务程序后，首先应该分析出是否为 CH351 请求中断，然后再做处理。当进入中断服务程序后，首先读取并口的 PSR 和 PXR 寄存器，如果是 ECP 方式则检查 PXR 寄存器的 ECPINTF 标志，否则检查 PSR 寄存器的 !INTFLAG 标志，如果有效则说明有中断，处理后退出，无效则说明无中断，直接退出。

如果并口工作于中断方式，那么需要设置 PCR 寄存器的 INTEN 以允许中断输出。其中，SPP 或 EPP 方式是以 ACK 引脚的上升沿启动中断请求，ECP 方式是以 ERR 引脚的下降沿启动中断请求。如果并口工作于查询方式，那么无需设置 PCR 的 INTEN，只需查询 PSR、PCR 和 PXR 寄存器并分析处理。

4.2. 并口操作

CH351 并口的 3 种工作方式之间互斥，默认为 SPP 方式。在 SPP 方式下可以实现 Nibble、Byte

和 PS/2 等附加方式，还可以通过设置 PXR 寄存器在 SPP、EPP 或 ECP 方式之间进行来回切换。在 SPP 方式下，可以用软件控制 PCR 和查询 PSR 实现 Nibble、Byte 和 PS/2 等传输，具体操作步骤可以参考 IEEE1284 规范。下面是并口工作方式切换图。



4.3. 应用说明

CH351 芯片的并口输出引脚都是 CMOS 电平，兼容 TTL 电平，输入引脚能够兼容 CMOS 电平和 TTL 电平，并且输入引脚已经内置打印口所需的上拉电阻，可以简化外围电路。

并口方式下 CH351 芯片的引脚包括：双向数据引脚、控制输出引脚和状态输入引脚。双向数据引脚和控制输出引脚除 INIT 引脚之外，默认都是高电平。在 SPP 方式下，所有这些信号都可以作为通用 IO 引脚，由计算机应用程序控制并定义其用途。

在计算机端的 Windows 和 Linux 操作系统下，CH351 的驱动程序能够兼容标准打印口，所以绝大部分原并口应用程序完全兼容，通常不需要作任何修改。

CH351 可以用于通过 PCI 总线为计算机扩展额外的高速 RS232 串口和并口/打印口。

5、参数

5.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VCC	电源电压（VCC 接电源，GND 接地）	-0.5	6.0	V
VIO	输入或者输出引脚上的电压	-0.5	VCC+0.5	V

5.2. 电气参数（测试条件：TA=25°C，VCC=5V，不包括连接 PCI 总线的引脚）

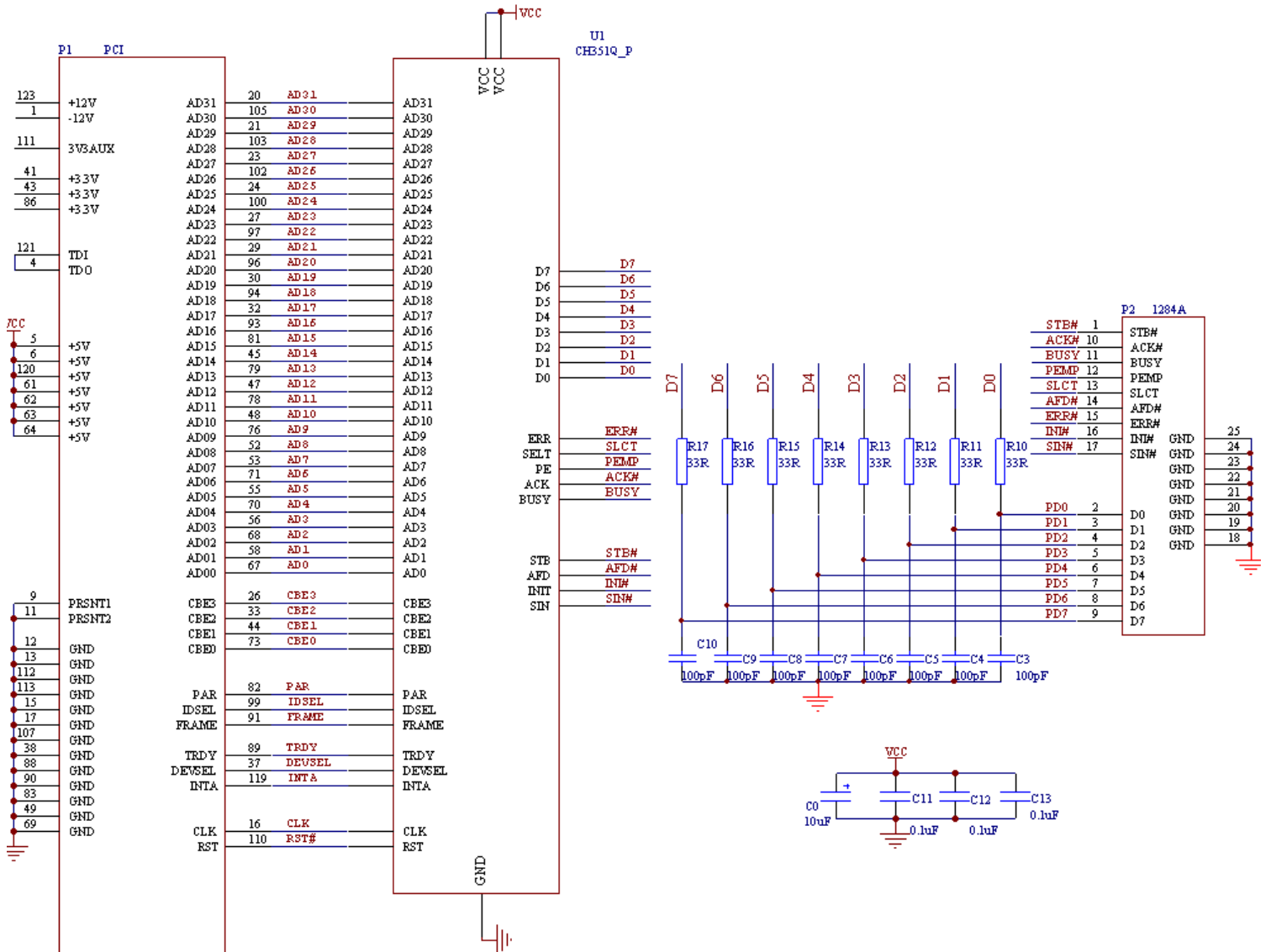
名称	参数说明	最小值	典型值	最大值	单位
VCC	电源电压（请参考下面的注意事项）	4.5	5	5.3	V
ICC	工作时的电源电流	1	15	50	mA
VIL	低电平输入电压	-0.5		0.8	V
VIH	高电平输入电压	2.0		VCC+0.5	V
VOL	低电平输出电压（4mA 吸入电流）			0.5	V
VOH	高电平输出电压（1mA 输出电流）	VCC-0.5			V
IIN	无上拉的输入端的输入电流			10	uA
IUP	带上拉的输入端的输入电流	100	250	500	uA

5.3. 时序参数 (测试条件: TA=25°C, VCC=5V, FCLK=33.3MHz)

名称	参数说明	最小值	典型值	最大值	单位
FCLK	CLK 输入频率 (PCI 总线的主频)	0	33.3	40	MHz

6、应用

6.1. 并口/打印口 (下图)



这是基于 CH351 芯片的并口/打印口的电路。P2 是 IEEE1284 的 A 型 DB25 插孔 (打印口连接器), 串联电阻 R10~R17 和并联电容 C3~C10 用于并口数据线的阻抗匹配, 要求不高时也可以省掉。电容 C0 和 C11~C13 用于电源退耦, C11~C13 是容量为 0.1uF 的独石或者高频瓷片电容, 分别就近并联在 CH351 的电源引脚上。

CH351 属于高频数字电路, 应该考虑信号阻抗匹配, 在设计 PCB 板时需要参考 PCI 总线规范。建议 CH351 的 PCI 信号线的长度都小于 35mm, 时钟线 CLK 的长度尽量保持在 50mm~65mm 之间, 并且不宜靠近其它信号线, 建议在 CLK 两侧及 PCB 背面布置接地线或者覆铜, 以减少周边信号线的干扰。