

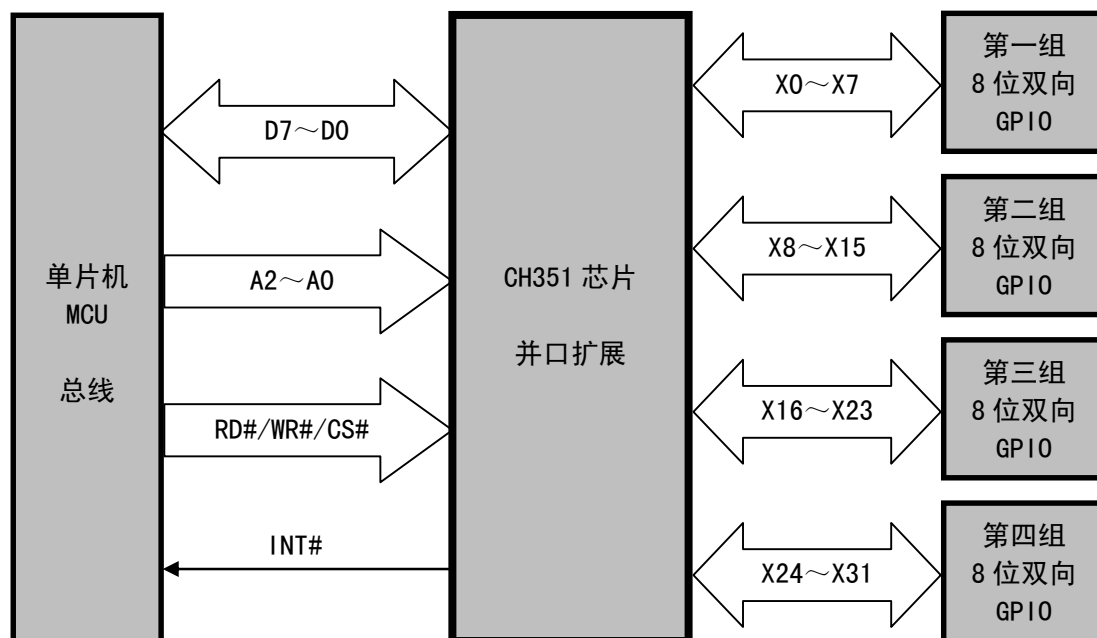
并行口 I/O 扩展芯片 CH351

手册 (三): 并口 I/O 扩展

版本: 1B

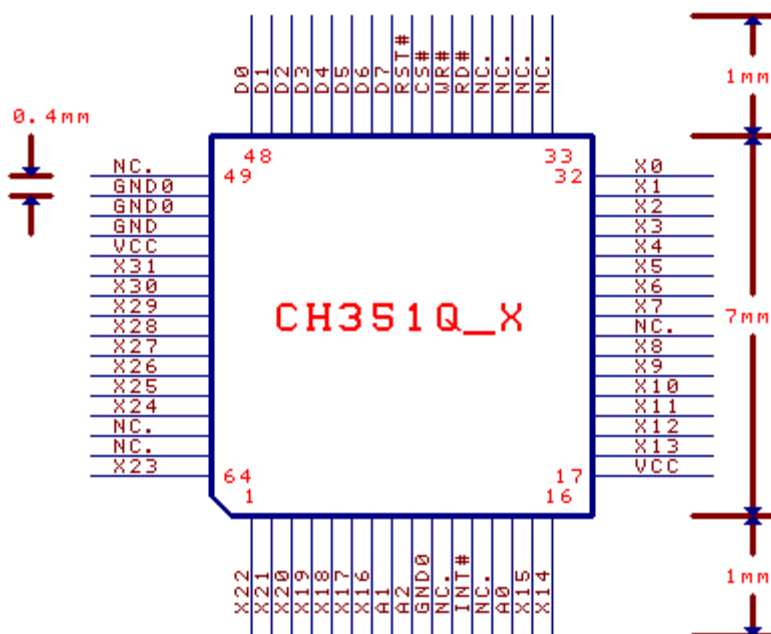
<http://wch.cn>

1、应用框图



2、封装

并口 I/O 扩展



有关 PCI 双串口或者打印口的应用说明和引脚图请分别参考手册 CH351DS1.PDF 或 CH351DS2.PDF。

3、引脚

| 引脚号 | 引脚名称 | 类型 | 引脚说明 |
|--------|------|----|------|
| 17, 53 | VCC | 电源 | 正电源端 |

| 52, 10, 50, 51 | GND, GND0 | 电源 | 公共接地端 |
|-------------------------------|-----------|---------|-------------------------------|
| 41-48 | D7~D0 | 三态双向 | 8 位并行数据输入及输出, 内置上拉, 接单片机数据总线 |
| 9, 8, 14 | A2~A0 | 输入 | 3 位地址输入, 内置微弱上拉, 接单片机地址总线 |
| 37 | RD# | 输入 | 读选通信号输入, 低有效, 内置上拉, 接单片机读控制 |
| 38 | WR# | 输入 | 写选通信号输入, 低有效, 内置上拉, 接单片机写控制 |
| 39 | CS# | 输入 | 片选控制输入, 低电平有效, 内置上拉电阻 |
| 12 | INT# | 开漏输出 | 中断请求信号输出, 低电平有效 |
| 40 | RST# | 输入 | 复位控制输入, 低电平有效, 内置上拉电阻 |
| 32-25 | X0~X7 | 三态输出及输入 | 第一组扩展 GPIO 通用输入输出引脚, 内置微弱上拉电阻 |
| 23-18, 16-15 | X8~X15 | 三态输出及输入 | 第二组扩展 GPIO 通用输入输出引脚, 内置微弱上拉电阻 |
| 7-1, 64 | X16~X23 | 三态输出及输入 | 第三组扩展 GPIO 通用输入输出引脚, 内置微弱上拉电阻 |
| 61-54 | X24~X31 | 三态输出及输入 | 第四组扩展 GPIO 通用输入输出引脚, 内置微弱上拉电阻 |
| 11, 13, 24, 33-36, 49, 62, 63 | NC. | 保留引脚 | 禁止连接 |

4、功能说明

4.1. 并口操作

CH351 芯片提供了通用的 8 位被动并行接口。其信号线包括: 8 位双向数据总线 D7~D0、3 位地址输入引脚 A2~A0、读选通输入引脚 RD#、写选通输入引脚 WR#、片选输入引脚 CS#。通过被动并行接口, CH351 芯片可以很方便地挂接到各种 8 位、16 位甚至 32 位单片机、DSP、MCU 的系统总线上, 并且可以与多个外围器件共存。

CH351 芯片的 CS#由地址译码电路驱动, 用于当单片机具有多个外围器件时进行设备选择。

对于类似 Intel 并口时序的单片机, CH351 芯片的 RD#引脚和 WR#引脚可以分别连接到单片机的读选通输出引脚和写选通输出引脚。对于类似 Motorola 并口时序的单片机, CH351 芯片的 RD#引脚应该接低电平, 并且 WR#引脚连接到单片机的读写方向输出引脚 R/-W。

下表为并口操作的真值表 (表中 X 代表不关心此位, Z 代表 CH351 的 D7-D0 三态禁止)。

| CS# | WR# | RD# | A2-A0 | D7-D0 | 对 CH351 芯片的实际操作 |
|-----|-----|-----|-------|-------|-------------------------------|
| 1 | X | X | XXX | X/Z | 未选中 CH351, 不进行任何操作 |
| 0 | 1 | 1 | XXX | X/Z | 虽然选中但无操作, 不进行任何操作 |
| 0 | 0 | 1/X | 100 | 输入 | 写入 CH351 的第一组 GPIO 的方向控制寄存器 |
| 0 | 0 | 1/X | 000 | 输入 | 写入 CH351 的第一组 GPIO 的内部输出数据寄存器 |
| 0 | 0 | 1/X | 101 | 输入 | 写入 CH351 的第二组 GPIO 的方向控制寄存器 |
| 0 | 0 | 1/X | 001 | 输入 | 写入 CH351 的第二组 GPIO 的内部输出数据寄存器 |
| 0 | 0 | 1/X | 110 | 输入 | 写入 CH351 的第三组 GPIO 的方向控制寄存器 |
| 0 | 0 | 1/X | 010 | 输入 | 写入 CH351 的第三组 GPIO 的内部输出数据寄存器 |
| 0 | 0 | 1/X | 111 | 输入 | 写入 CH351 的第四组 GPIO 的方向控制寄存器 |
| 0 | 0 | 1/X | 011 | 输入 | 写入 CH351 的第四组 GPIO 的内部输出数据寄存器 |
| 0 | 1 | 0 | X00 | 输出 | 将 CH351 的第一组 GPIO 的引脚输入状态读出 |
| 0 | 1 | 0 | X01 | 输出 | 将 CH351 的第二组 GPIO 的引脚输入状态读出 |
| 0 | 1 | 0 | X10 | 输出 | 将 CH351 的第三组 GPIO 的引脚输入状态读出 |
| 0 | 1 | 0 | X11 | 输出 | 将 CH351 的第四组 GPIO 的引脚输入状态读出 |

4.2. 扩展 GPIO

由于单次并口操作只能对应 8 个 GPIO 通用输入输出引脚，所以 32 个 GPIO 被分为 4 组。

在 CH351 芯片内部，每个 GPIO 引脚都分别对应有一个方向控制位和一个内部输出数据位。

方向控制位在被 RST#引脚复位后默认为 0，表示该 GPIO 引脚为输入引脚，如果被设置为 1 则表示该 GPIO 引脚为输出引脚。

内部输出数据位在被 RST#引脚复位后默认为 1，对应输出高电平，如果设置为 0 则对应输出低电平，而该 GPIO 引脚是否能够输出则由方向控制位决定。仅在其方向控制位被设置为输出时，内部输出数据位所对应的高或低电平才会输出到 GPIO 引脚上，否则仅是内部位。

CH351 芯片的扩展 GPIO 引脚输入能够兼容 CMOS 电平和 TTL 电平，并且输入引脚都内置了微弱上拉电阻；输出都是 CMOS 电平，兼容 TTL 电平，并且具有低电平 10mA 高电平 5mA 的驱动能力。

4.3. 中断和复位

CH351 芯片提供了一个低电平有效的中断请求输出引脚 INT#（需要外接上拉电阻），可以连接到单片机的中断输入引脚或普通输入引脚。CH351 将在任何一个其方向控制位为 0 的 GPIO 检测到低电平输入时产生中断请求。例如：X4 其方向设置为输出，则 X4 的任何状态都不影响 INT#；X6 其方向设置为输入，如果 X6 状态为高电平则不影响 INT#；X8 其方向设置为输入，则当 X8 状态为低电平时产生 INT#有效。

CH351 芯片的复位引脚 RST#用于使 CH351 恢复到默认状态。当 RST#输入为低电平时，X0~X31 引脚的内部输出数据位全部恢复为 1 的状态，并且 X0~X31 的方向控制位全部恢复为 0 即输入状态。

5、参数

5.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

| 名称 | 参数说明 | 最小值 | 最大值 | 单位 |
|------------------|----------------------|------|---------|----|
| TA | 工作时的环境温度 | -40 | 85 | °C |
| TS | 储存时的环境温度 | -55 | 125 | °C |
| VCC | 电源电压（VCC 接电源，GND 接地） | -0.5 | 6.0 | V |
| VIO | 输入或者输出引脚上的电压 | -0.5 | VCC+0.5 | V |
| Igpio | 单个 GPIO 引脚的连续驱动电流 | 0 | 16 | mA |
| I _{max} | 所有 GPIO 引脚的连续驱动电流的总和 | 0 | 120 | mA |

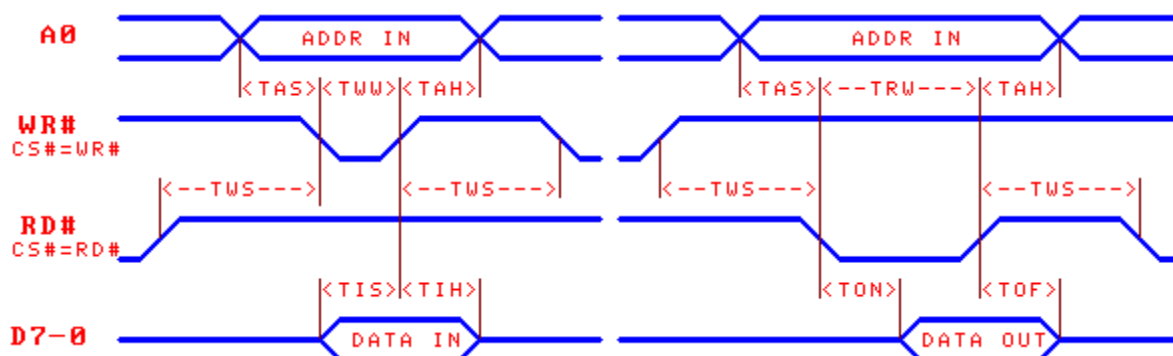
5.2. 电气参数（测试条件：TA=25°C，VCC=5V，如果 VCC=3.3V 则表中电流降为约 40%）

| 名称 | 参数说明 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------|-------------------|---------|-----|---------|----|
| VCC | 电源电压 | 2.7 | 5 | 5.3 | V |
| ICC | 工作时的电源电流 | 0.01 | 0.1 | 100 | mA |
| VIL | 低电平输入电压 | -0.5 | | 0.8 | V |
| VIH | 高电平输入电压 | 2.0 | | VCC+0.5 | V |
| VOL | 低电平输出电压（8mA 吸入电流） | | | 0.5 | V |
| VOH | 高电平输出电压（3mA 输出电流） | VCC-0.5 | | | V |
| I _{WU} | 带微弱上拉电阻的输入端的输入电流 | 2 | 8 | 20 | uA |
| I _{UP} | 带上拉电阻的输入端的输入电流 | 5 | 10 | 250 | uA |

5.3. 时序参数（测试条件：TA=25°C，VCC=5V，括号中参数 VCC=3.3V，参考下面附图）

(RD 是指 RD#信号有效并且 CS#信号有效, WR#=1&RD#=CS#=0 执行读操作)

(WR 是指 WR#信号有效并且 CS#信号有效, WR#=CS#=0 执行写操作)



| 名称 | 参数说明 | 最小值 | 典型值 | 最大值 | 单位 |
|-----|--------------------|---------|---------|---------|----|
| TWW | 有效的写选通脉冲 WR 的宽度 | 25 (40) | | | nS |
| TRW | 有效的读选通脉冲 RD 的宽度 | 25 (40) | | | nS |
| TWS | 读选通或写选通脉冲的间隔宽度 | 25 (40) | | | nS |
| TAS | RD 或 WR 前的地址输入建立时间 | 2 | | | nS |
| TAH | RD 或 WR 后的地址输入保持时间 | 3 | | | nS |
| TIS | 写选通 WR 前的数据输入建立时间 | 5 | | | nS |
| TIH | 写选通 WR 后的数据输入保持时间 | 5 | | | nS |
| TON | 读选通 RD 有效到数据输出有效 | | 15 (22) | 22 (33) | nS |
| TOF | 读选通 RD 无效到数据输出无效 | | | 18 (25) | nS |

6、应用

6.1. 并行口 I/O 扩展

将 CH351 芯片挂在 8 位单片机系统总线上, 可以直接扩展出 32 个能够独立设置为输入或者输出方向的通用 I/O 引脚, 电路精简, 操作方便。