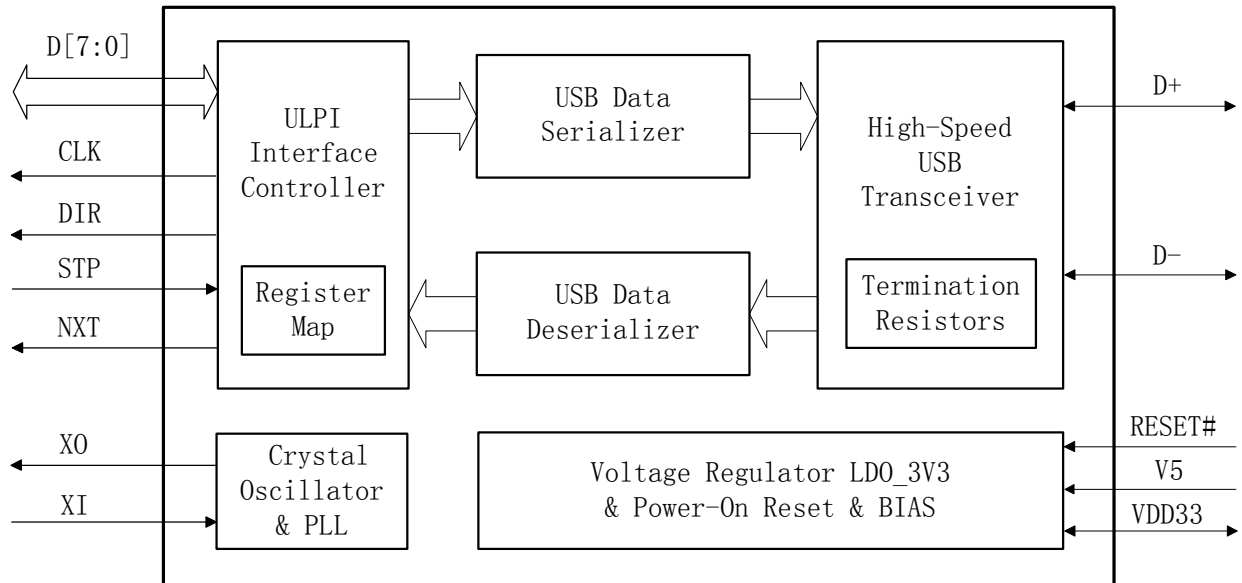


概述

CH132 是 ULPI 接口的高速 USB 收发器芯片 (USB PHY、High Speed Transceiver)，兼容 USB 2.0 协议规范和 UTMI+ Low Pin Interface (ULPI) 1.1 协议规范。支持 USB2.0 高速 480Mbps、全速 12Mbps 和低速 1.5Mbps 数据发送和接收, 可用于为具有 ULPI 接口的 MCU 或 FPGA 扩展 USB 主机口或者设备口。



特点

- 兼容 USB 2.0 协议规范
- 兼容 UTMI+ Low Pin Interface (ULPI) 1.1 协议规范
- 12 Pin 的 ULPI 接口, 1.8V~3.3V I/O 电平, 60MHz 时钟
- 支持 USB host 主机和 USB device 设备
- 支持 USB 高速 High Speed、全速 Full Speed 和低速 Low Speed
- 支持 3 线或 6 线的全速或低速串行模式
- 支持 D+和 D-信号线交换模式
- 内置 3.3V 低压差线性稳压器, 支持 3.3V 或 5V 供电输入
- 内置上电复位电路、内置时钟振荡器和 PLL
- 内置阻抗匹配电阻, 内置振荡电容, 外围电路精简
- 支持 ULPI 输入时钟和输出时钟模式
- USB 引脚具有 6KV 增强 ESD 性能
- 工业级温度范围: -40~85°C
- 提供 QFN24 和 QFN32 等多种封装形式

第 1 章 引脚信息

1.1 引脚排列

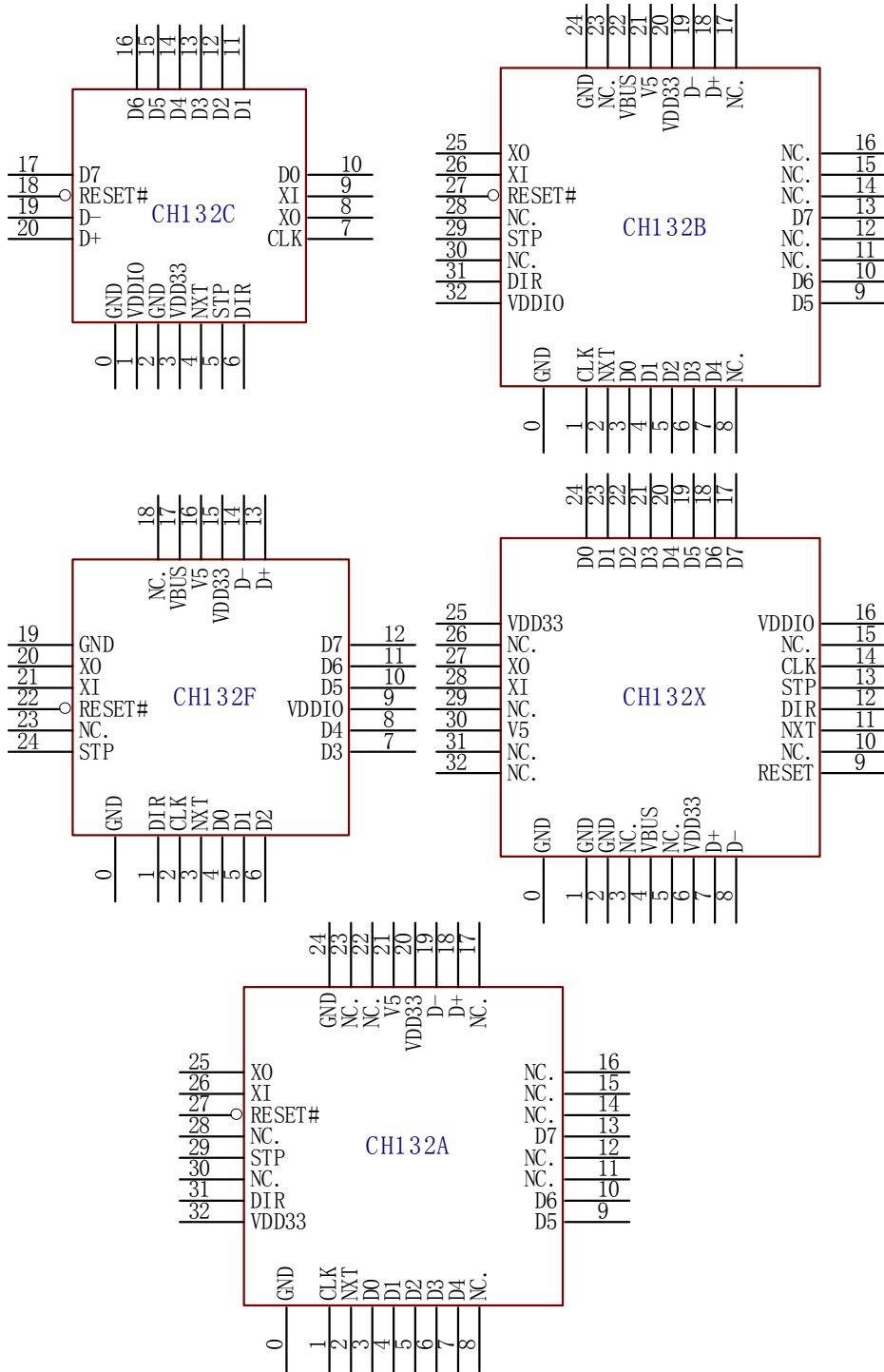


图 1-1 引脚分布

注：0#引脚是 QFN 封装的底板。

1.2 封装

表 1-1 封装说明

封装形式	塑体宽度		引脚节距		封装说明	订货型号
QFN20C_2x2	2*2mm		0.32mm	12.6mil	WCH 四边无引线 20 脚	CH132C
QFN24_4x4	4*4mm		0.5mm	19.7mil	四边无引线 24 脚	CH132F
QFN32_5x5	5*5mm		0.5mm	19.7mil	四边无引线 32 脚	CH132B
QFN32_5x5	5*5mm		0.5mm	19.7mil	四边无引线 32 脚	CH132A
QFN32_5x5	5*5mm		0.5mm	19.7mil	四边无引线 32 脚	CH132X

注：CH132B 基于 CH132A 升级，增加了 VDDIO 引脚，向前兼容 CH132A 引脚。

新设计可用 CH132C/F/B/X，优选小体积的 CH132C。

1.3 引脚描述

表 1-2 引脚定义

引脚号					引脚名称	类型	功能描述
132C	132F	132A	132B	132X			
20	13	18	18	7	D+	USB	USB2.0 高速差分信号线 DP
19	14	19	19	8	D-	USB	USB2.0 高速差分信号线 DM
-	-	1	-	-	CLK	0	ULPI 60MHz 时钟信号输出
7	2	-	1	14	CLK	I/O	ULPI 60MHz 时钟信号输出或 60MHz 时钟信号输入
4	3	2	2	11	NXT	0	ULPI Next 信号输出
6	1	31	31	12	DIR	0	ULPI Direction 信号输出
5	24	29	29	13	STP	1	ULPI Stop 信号输入，内置可控上拉电流
10	4	3	3	24	D0	I/O	ULPI 双向数据线 DATA0，内置弱下拉电阻
11	5	4	4	23	D1	I/O	ULPI 双向数据线 DATA1，内置弱下拉电阻
12	6	5	5	22	D2	I/O	ULPI 双向数据线 DATA2，内置弱下拉电阻
13	7	6	6	21	D3	I/O	ULPI 双向数据线 DATA3，内置弱下拉电阻
14	8	7	7	20	D4	I/O	ULPI 双向数据线 DATA4，内置弱下拉电阻
15	10	9	9	19	D5	I/O	ULPI 双向数据线 DATA5，内置弱下拉电阻
16	11	10	10	18	D6	I/O	ULPI 双向数据线 DATA6，内置弱下拉电阻
17	12	13	13	17	D7	I/O	ULPI 双向数据线 DATA7，内置弱下拉电阻
-	-	26	-	-	XI	IL	晶振输入端，外接 12MHz 晶体一端，或外部时钟输入

9	21	-	26	27	XI	IL	晶振输入端，外接 12MHz 晶体一端，或外部时钟输入，或短接 GND 则选择从 CLK 引脚输入 ULPI 时钟模式
8	20	25	25	28	X0	OL	晶振反相输出端，需外接 12MHz 晶体另一端
18	22	27	27	-	RESET#	I	复位信号输入，低电平有效，内置上拉电阻
-	-	-	-	9	RESET	I	复位信号输入，高电平有效，内置下拉电阻
-	17	-	22	4	VBUS	I	VBUS 检测输入，高电平有效，内置上拉电阻，部分型号或批号不支持 VBUS，建议悬空或短接 VDD33
-	16	21	21	30	V5	P	5V 或 3.3V 电源输入，外接 1uF~10uF 退耦电容
-	15	20	20	6	VDD33	P	LDO 输出及 3.3V 电源输入，外接 0.1uF 并联 1uF~10uF 退耦电容
3	-	32	-	25	VDD33	P	3.3V 电源输入
1	9	-	32	16	VDD10	P	ULPI 接口 I/O 信号电源电压，支持 1.8V、2.5V、3.3V 电压，外接 0.1uF 或 1uF 退耦电容
2	19	24	24	1, 2	GND	P	公共接地端，可选但建议连接 GND
0	0	0	0	0	GND	P	公共接地端（QFN 底板），必要连接
-	18, 23	8, 11, 12, 14, 15, 16, 17, 22, 23, 28, 30	8, 11, 12, 14, 15, 16, 17, 23, 28, 30	3, 5, 10, 15, 26, 29, 31, 32	NC.	-	空脚或保留引脚，禁止连接

引脚类型：

- (1) I：对于 CH132A 是 3.3V 信号输入，对于 CH132C/F/B/X 是 VDD10 电压的信号输入。
- (2) O：对于 CH132A 是 3.3V 信号输出，对于 CH132C/F/B/X 是 VDD10 电压的信号输出。
- (3) IL：额定 1.2V 电压的信号输入，支持 1.2V~1.4V 电压的信号输入。
- (4) OL：额定 1.2V 电压的信号输出。
- (5) P：电源或地。
- (6) USB：USB 信号。

第 2 章 基本功能

2.1 时钟和复位

2.1.1 时钟源

CH132 需要 12MHz 时钟源，可以从 XI 引脚输入时钟并保持 X0 悬空，或者将外部 12MHz 晶体连接在 XI 和 X0 引脚上通过内部振荡器产生时钟源。CH132 再通过 PLL 产生芯片所需的多个时钟：

- USB 低速数据传输使用的 1.5MHz 时钟
- USB 全速数据传输使用的 12MHz 时钟
- USB 高速数据传输使用的 480MHz 时钟
- ULPI 接口控制器使用的 60MHz 时钟
- 其它内部数据处理时需要的时钟

默认情况下为输出 ULPI 时钟模式，从 CLK 引脚向 ULPI 链接器 LINK 输出 60MHz 时钟。

CH132C/F/B/X 还支持输入 ULPI 时钟模式，上电复位期间，如果 CH132 检测到 XI 引脚短接 GND，则 CLK 引脚为时钟输入，由 ULPI 链接器 LINK 提供 60MHz 时钟，CH132 再由此产生所需的各时钟。

2.1.2 上电复位

CH132 内置了上电复位模块，一般无需外部提供复位信号，当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 T_{rpor} 以等待电源稳定。在运行过程中，当电源电压低于 V_{ivr} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。图 2-1 为上电复位过程以及低压复位过程。

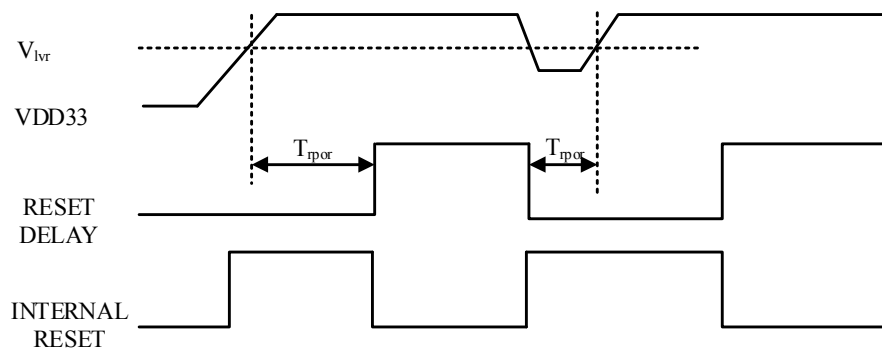


图 2-1 上电复位

2.1.3 外部复位

外部复位输入引脚 RESET# 内置约 24K Ω 上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平（建议开漏驱动），复位的低电平脉宽至少 T_{wreset} 。建议不要再外接上拉电阻。

CH132X 的外部复位输入引脚 RESET 内置下拉电阻，驱动该引脚为高电平将复位芯片。

2.2 电源

CH132 内置了低压差线性稳压器 LDO。默认为 3.3V 电源，也支持 5V 电源。

对于 3.3V 供电系统，3.3V 电源同时输入 VDD33 引脚和 V5 引脚，用于内部模拟电路。

对于 5V 供电系统，5V 电源输入 V5 引脚，内部 LDO 在 VDD33 引脚产生 3.3V 电源用于内部模拟电路。CH132C 没有 V5 引脚，不支持 5V 供电。

两种方式下，VDD33 和 V5 引脚都需要外接退耦电容，VDD33 建议 0.1uF 并联 10uF 或 4.7uF。

避免将 VBUS 的 5V 电源直接输入 V5 引脚，建议在 VBUS 与 V5 引脚之间加入过压保护电路。

对于 CH132C/F/B/X，VDDIO 引脚用于 I/O 电路供电，支持 1.8V、2.5V、3.3V 电压。对于 CH132A，VDD33 引脚兼用于 I/O 电路供电，仅支持 3.3V 电压。

2.3 USB 收发器

CH132 的 USB 收发器承担了 USB 高速、全速和低速数据收发任务。收发器 Transceiver 包括进行 USB 高速、全速和低速数据发送必需的差分驱动电路，承担 USB 高速、全速和低速数据接收的差分单端接受器，探测高速总线活动性的电路，探测高速总线断开的电路。USB 端口内置了多种匹配电阻，包括阻抗匹配电阻、设备上拉电阻、主机下拉电阻等。

关于寄存器和 USB 端口模式的详细关系可以见下表 2-1。

表 2-1 寄存器设置和端口模式关系

USB 端口模式	寄存器设置				
	XCVR SELECT [1:0]	TERM SELECT	OP MODE [1:0]	DP_ PULLDOWN	DM_ PULLDOWN
三态驱动	xxb	x	01b	x	x
主机 Chirp	00b	0	10b	1	1
主机高速	00b	0	00b	1	1
主机全速	x1b	1	00b	1	1
主机高速或全速挂起	01b	1	00b	1	1
主机高速或全速恢复	01b	1	10b	1	1
主机低速	10b	1	00b	1	1
主机低速挂起	10b	1	00b	1	1
主机低速恢复	10b	1	10b	1	1
主机发送 J 信号/K 信号	00b	0	10b	1	1
从机 Chirp	00b	1	10b	0	0
从机高速	00b	0	00b	0	0
从机全速	01b	1	00b	0	0
从机高速或全速挂起	01b	1	00b	0	0
从机高速或全速恢复	01b	1	10b	0	0
从机发送 J 信号或 K 信号	00b	0	10b	0	0

2.4 ULPI 接口控制器

CH132 提供了兼容 ULPI (UTMI+ Low Pin Interface) 1.1 协议的 12 Pin 接口, 这个接口应该连接到 ULPI 链接器 LINK 的 ULPI 接口上, 链接器另一端是 USB 控制器。

此 ULPI 接口控制器具有以下功能:

- ULPI 协议兼容的接口和寄存器设置
- 允许通过 USB 主机或从机设备进行功能性控制
- 解析 USB 发送或接收的数据
- 确定 USB 数据发送、数据接收、中断和寄存器操作优先级
- 3 线串行模式
- 6 线串行模式

2.5 ULPI RX CMD 数据

表 2-2 RXCMD 数据位格式

位	名称	默认值	描述			
[1:0]	LineState	00b	对应 UTMI+ LineState 两个信号: LineState[0] 对应接收 DP 的单端数据, LineState[1] 对应接收 DM 的单端数据			
[3:2]	Reserved	00b	保留, 总是 00			
[5:4]	RxEvent	00b	UTMI 事件信号编码:			
			数值	RxActive	RxError	HostDisconnect
			00	0	0	0
			01	1	0	0
			11	1	1	0
			10	X	X	1
6	Reserved	0	保留, 总是 0			
7	Reserved	0	保留, 数据需忽略			

2.6 3 线和 6 线串行模式

CH132 提供了 3 线或 6 线串行模式, 根据需要选择 3 线或 6 线接口的串行模式以传输全速或低速 USB 包。3 线串行模式接口映射如表 2-3 所示, 6 线串行模式接口映射如表 2-4 所示。

进入或退出 3 线或 6 线串行模式可以参考 R8_INTF_CTRL 寄存器中关于 3PIN_FSL_SERIAL 或 6PIN_FSL_SERIAL 位的描述。

表 2-3 3 线串行接口 ULPI 映射表

信号	对应 ULPI 接口	方向	描述
----	------------	----	----

信号	对应 ULPI 接口	方向	描述
TX_ENABLE	DATA0	I	模式选择，发送使能，高电平有效 0: 接收数据； 1: 发送数据
DAT	DATA1	I/O	TX_ENABLE = 1 时，发送 DP 和 DM 的差分数据； TX_ENABLE = 0 时，接收 DP 和 DM 的差分数据
SEO	DATA2	I/O	TX_ENABLE = 1 时，发送 DP 和 DM 的 SEO 数据； TX_ENABLE = 0 时，接收 DP 和 DM 的 SEO 数据
Reserved	DATA3	0, PD	保留，CH132 引脚输出数据需忽略
Reserved[7:4]	DATA[7:4]	0, PD	保留，CH132 引脚提供下拉电阻或输出低电平

表 2-4 6 线串行接口 ULPI 映射表

信号	对应 ULPI 接口	方向	描述
TX_ENABLE	DATA0	I	发送使能，高电平有效
TX_DAT	DATA1	I	发送 DP 和 DM 的差分数据。
TX_SEO	DATA2	I	发送 DP 和 DM 的 SEO 数据。
Reserved	DATA3	0, PD	保留，CH132 引脚输出数据需忽略
RX_DP	DATA4	0	接收 DP 的单端数据
RX_DM	DATA5	0	接收 DM 的单端数据
RX_RCV	DATA6	0	接收 DP 和 DM 的差分数据
Reserved	DATA7	0, PD	保留，CH132 引脚提供下拉电阻或输出低电平

第 3 章 ULPI 寄存器

3.1 寄存器描述

本手册中在对寄存器进行描述时可能使用了下列缩写：

寄存器位属性	属性描述
RO	只读属性，数据由硬件生成和改变。
WO	只写属性（不可读，读值不确定）
RW	可读，可写。

CH132 系列芯片 ULPI 接口操作相关寄存器描述，默认基于 CH132B 和 CH132C/F/X。其它型号例如 CH132A，如果存在部分不同则特别加注。本手册不适用于 CH132H。

表 3-1 CH132 ULPI 寄存器表

名称	地址（6 bit）				描述	复位值
	Read	Write	Set	Clear		
R8_VENDOR_ID_L	0x00	-	-	-	厂商 ID 寄存器的低字节	0x86 [注 10]
R8_VENDOR_ID_H	0x01	-	-	-	厂商 ID 寄存器的高字节	0x1A [注 11]
R8_PRODUCT_ID_L	0x02	-	-	-	产品 ID 寄存器的低字节	0x32 [注 12]
R8_PRODUCT_ID_H	0x03	-	-	-	产品 ID 寄存器的高字节	0x01 [注 13]
R8_FUNC_CTRL	0x04 - 0x06	0x04	0x05	0x06	功能控制寄存器	0x41
R8_INTF_CTRL	0x07 - 0x09	0x07	0x08	0x09	接口控制寄存器	0x00
R8_OTG_CTRL	0x0A - 0x0C	0x0A	0x0B	0x0C	OTG 控制寄存器	0x06
R8_USB_INTR_EN_R	0x0D - 0x0F	0x0D	0x0E	0x0F	USB 上升中断使能寄存器	0x01
R8_USB_INTR_EN_F	0x10 - 0x12	0x10	0x11	0x12	USB 下降中断使能寄存器	0x01
R8_USB_INTR_STAT	0x13	-	-	-	USB 中断状态寄存器	0x00
R8_USB_INTR_L	0x14	-	-	-	USB 中断锁存寄存器	0x00
R8_SCRATCH	0x16 - 0x18	0x16	0x17	0x18	测试寄存器	0x00
R8_USB_I/O_SWAP	0x39 - 0x3B	0x39	0x3A	0x3B	USB I/O 引脚交换寄存器	0x00 [注 14]
	其它				保留	0x00

(1) R: Read, 可读寄存器, 如果没有对应的 W/S/C 则说明是只读寄存器。

(2) W: Write, 寄存器写入, 操作时新的数据将直接覆盖此寄存器原有的数据。

(3) S: Set, 寄存器按位置 1, 操作时新的数据将与此寄存器原数据按位或运算后写入。

(4) C: Clear, 寄存器按位清 0, 操作时新的数据将与此寄存器原数据按位与运算后写入。

注 10、注 11、注 12、注 13: 对于 CH132A 为 0x00。

注 14: CH132A 不支持此寄存器。

建议: 每次上电或复位后向 R8_FUNC_CTRL 和 R8_OTG_CTRL 寄存器中设置目标参数, 不管原值;

无需操作和使用 R8_USB_INTR_*各寄存器, 可以用 RXCMD 中的 RxEvent/LineStyle 状态实现。

功能控制寄存器 (R8_FUNC_CTRL, Address R = 04h/05h/06h, W = 04h, S = 05h, C = 06h)

位	名称	访问	描述	复位值
7	Reserved	R0	保留	0
6	SUSPENDM	RW	芯片挂起： 进入低功耗模式，低有效。ULPI 链接器可以通过 STP 退出低功耗模式。当芯片退出低功耗模式自动置 1 此位。 0: 低功耗模式； 1: 正常。	1
5	RESET	RW	内部复位： 高有效。此复位不复位 ULPI 接口和寄存器。 当复位结束后，芯片将解除 DIR 并自动清零此位。 0: 正常； 1: 使能复位。	0
[4:3]	OP MODE	RW	操作模式：选择传输过程中的位编码方式。 00: 正常； 01: 不驱动； 10: 关闭位插入和 NRZI 编码； 11: 保留	00b
2	TERM SELECT	RW	端口电阻选项： 控制端口上拉下拉电阻和高速传输匹配电阻，取决于 XCVR_SELECT、OP_MODE、DP_PULLDOWN 和 DM_PULLDOWN。 详见表 2-1	0
[1:0]	XCVR SELECT	RW	收发器速度选择： 00: 使能高速收发器； 01: 使能全速收发器； 10: 使能低速收发器； 11: 使能全速收发器，收发低速包（自动加全速包前缀）	01b

接口控制寄存器 (R8_INTF_CTRL, Address R = 07h/08h/09h, W = 07h, S = 08h, C = 09h)

位	名称	访问	描述	复位值
7	INTF_PROT_DIS	RW	关闭接口保护： 当 ULPI 链接器不向 STP 和 DATA[7:0] 输出时，控制芯片内置的 ULPI 接口保护电路。 0: 使能 ULPI 接口保护电路，STP 提供弱上拉。 1: 关闭 ULPI 保护电路，关闭 STP 的弱上拉	0
[6:2]	Reserved	R0	保留	00000b
1	3PIN_FSL_S_SERIAL	RW	3 线全速低速串行模式： 将 ULPI 接口变为 3 位串行接口，在退出 3 线串行模式时芯	0

			片自动清零此位。 0: 关闭 3 线串行模式, 全速低速包通过 ULPI 并口传输; 1: 使能 3 线串行模式, 全速低速包通过 3 线接口传输	
0	6PIN_FSL_SERIAL	RW	6 线全速低速串行模式: 将 ULPI 接口变为 6 位串行接口, 在退出 6 线串行模式时芯片自动清零此位。 0: 关闭 6 线串行模式, 全速低速包通过 ULPI 并口传输; 1: 使能 6 线串行模式, 全速低速包通过 6 线接口传输	0

OTG 控制寄存器 (R8_OTG_CTRL, Address R = 0Ah/0Bh/0Ch, W = 0Ah, S = 0Bh, C = 0Ch)

位	名称	访问	描述	复位值
[7:3]	Reserved	RO	保留	00000b
2	DM_PULLDOWN	RW	使能 DM 的主机下拉电阻: 0: 关闭 DM 的下拉电阻; 1: 使能 DM 的下拉电阻	1
1	DP_PULLDOWN	RW	使能 DP 的主机下拉电阻: 0: 关闭 DP 的下拉电阻; 1: 使能 DP 的下拉电阻	1
0	Reserved	RO	保留	0

USB 上升中断使能寄存器 (R8_USB_INTR_EN_R, Address R = 0Dh/0Eh/0Fh, W = 0Dh, S = 0Eh, C = 0Fh)

位	名称	访问	描述	复位值
[7:1]	Reserved	RO	保留	0000000b
0	HOST_DISCON_R	RW	主机端口断开中断使能: 使能当 HOST_DISCON 从 0 到 1, 即断开时产生中断	1

USB 下降中断使能寄存器 (R8_USB_INTR_EN_F, Address R = 10h/11h/12h, W = 10h, S = 11h, C = 12h)

位	名称	访问	描述	复位值
[7:1]	Reserved	RO	保留	0000000b
0	HOST_DISCON_F	RW	主机端口断开中断使能: 使能当 HOST_DISCON 从 1 到 0, 即连接时产生中断	1

USB 中断状态寄存器 (R8_USB_INTR_STAT, Address R = 13h)

位	名称	访问	描述	复位值
---	----	----	----	-----

位	名称	访问	描述	复位值
[7:1]	Reserved	R0	保留	0000000b
0	HOST_DISCON	R0	主机端口断开状态： 提供 UTMI+主机端口断开状态值。 0: 已连接，主机端口检测到 USB 设备； 1: 已断开，没有检测到 USB 设备连接。 只支持高速 USB 断开检测，不支持全速和低速断开检测	0

USB 中断锁存寄存器 (R8_USB_INTR_L, Address R = 14h)

位	名称	访问	描述	复位值
[7:1]	Reserved	R0	保留	0000000b
0	HOST_DISCON	R0	锁存主机端口断开状态： 当一个未屏蔽的 HOST_DISCON 事件发生时，此位置 1，读取时自动清零	0

测试寄存器 (R8_SCARTCH, Address R = 16h)

位	名称	访问	描述	复位值
[7:0]	SCARTCH	RW	测试使用的寄存器，可读可写，不影响芯片功能	00000000b

USB I/O 引脚交换寄存器 (R8_USB_IO_SWAP, Address R = 39h/3Ah/3Bh, W = 39h, S = 3Ah, C = 3Bh)

位	名称	访问	描述	复位值
[7:2]	Reserved	R0	保留	000000b
1	USB_IO_SWAP	RW	交换 USB 信号引脚使能： 0: 不交换 D+和 D-引脚； 1: 交换 D+和 D-引脚	0
0	Reserved	R0	保留	0

第 4 章 参数

4.1 绝对最大值 (临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	150	°C
V5	LDO 输入电源电压 (V5 引脚接电源, GND 引脚接地)	-0.4	5.5	V
VDD33	3.3V 电源电压 (VDD33 引脚接电源, GND 引脚接地)	-0.4	3.8	V
VDDIO	VDDIO 引脚的 ULPI 接口 I/O 电源电压	-0.4	3.8	V
VUSB	USB 信号引脚上的电压	-0.4	VDD33+0.4	V
VIO	其它输入或者输出引脚上的电压 (不含 XI 和 X0)	-0.4	VDD33+0.4 VDDIO+0.4	V
VXI	XI 引脚上的电压	-0.3	1.5	V
VESD	USB 引脚上的 HBM 人体模型 ESD 耐压	6K		V

4.2 电气参数 (测试条件: TA=25°C, V5=VDD33=3.3V, VDDIO=3.3V, 不含 USB 信号引脚)

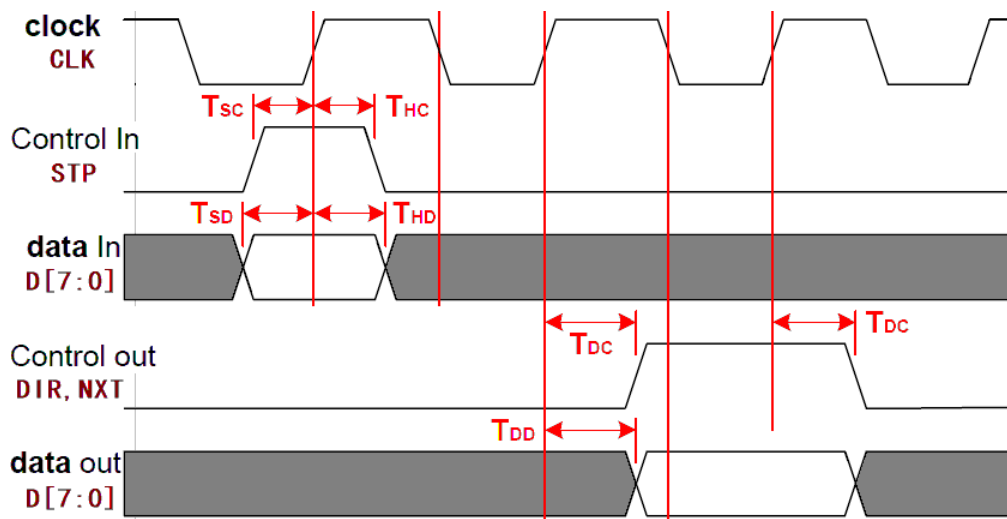
名称	参数说明		最小值	典型值	最大值	单位
V5	CH132F/B/X	LDO 输入电源电压, 启用内部 LDO	3.8	5.0	5.25	V
	CH132A		4.5	5.0	5.25	
	外供电源电压	无需内部 LDO	3.15	3.3	3.45	
VDD33	LDO 输出电压	启用内部 LDO	3.15	3.3	3.45	V
	外供 3.3V 电压	无需内部 LDO	3.15	3.3	3.45	
VDDIO	ULPI 接口 I/O 信号电源电压		1.7	3.3	3.6	V
ILDO	内部电源调节器 LDO 对外负载能力				30	mA
ICC	高速 USB 传输时的工作电流			27		mA
ICC0	高速空闲状态下的工作电流			19		mA
ISLP	低功耗模式的电源电流 (主要是内部 LDO)			0.13	0.4	mA
VILXI	XI 引脚低电平输入电压		0		0.3	V
VIHXI	XI 引脚高电平输入电压		0.9		1.2	V
RPD	D7~D0 引脚的下拉电阻		50	70	100	KΩ
Vlvr	VDD33 电源低压复位的电压门限		2.5	2.9	3.15	V

VDDIO=3.3V					
VIL33	ULPI 接口 I/O 引脚低电平输入电压	0		0.8	V
VIH33	ULPI 接口 I/O 引脚高电平输入电压	1.9		VDDIO	V
VOL33	I/O 引脚低电平输出电压 @吸入 12mA 电流		0.4	0.6	V
VOH33	I/O 引脚高电平输出电压 @输出 12mA 电流	VDDIO-0.6	VDDIO-0.4		V
IPU33	STP 引脚的上拉电流	20	40	80	uA
VDDIO=1.8V					
VIL18	ULPI 接口 I/O 引脚低电平输入电压	0		0.5	V
VIH18	ULPI 接口 I/O 引脚高电平输入电压	1.2		VDDIO	V
VOL18	I/O 引脚低电平输出电压 @吸入 5mA 电流		0.4	0.6	V
VOH18	I/O 引脚高电平输出电压 @输出 5mA 电流	VDDIO-0.6	VDDIO-0.4		V
IPU18	STP 引脚的上拉电流	7	15	30	uA

4.3 时序参数 (测试条件: TA=25°C, V5=VDD33=3.3V, VDDIO=3.3V)

名称	参数说明	最小值	典型值	最大值	单位
Fxi	XI 输入时钟频率、XI 外接晶体频率	11.995	12	12.005	MHz
Dutyxi	XI 输入时钟的占空比	35	50	65	%
Fstart	初始状态下 ULPI 的 CLK 时钟频率	55	60	65	MHz
Fsteady	稳定状态下 ULPI 的 CLK 时钟频率	59.97	60	60.03	MHz
Dutycko	ULPI 的 CLK 时钟的占空比	45	50	55	%
Tsteady	XI 或 CLK 输入时钟稳定到 PLL 稳定的时间		0.5	1.5	mS
Tstart	退出低功耗模式到 PLL 稳定的时间		2	4	mS
Trpor	电源上电或低压复位到正常工作的时间	10	14	17	mS
Twreset	RESET#引脚输入复位的低电平脉宽	2			uS
	RESET 引脚输入复位的高电平脉宽	2			uS
Trreset	引脚输入复位到正常工作的时间	10	13	15	mS
输出 ULPI 时钟模式					
TSC	STP 输入建立时间			6	nS
THC	STP 输入保持时间	0			nS
TSD	数据 D0~D7 输入建立时间			6	nS

THD	数据 D0~D7 输入保持时间	0			nS
TDC	DIR 或 NXT 输出有效的延时	0.8		6	nS
TDD	数据 D0~D7 输出有效的延时	0.8		8	nS
输入 ULPI 时钟模式					
TSC	STP 输入建立时间			2.5	nS
THC	STP 输入保持时间	1			nS
TSD	数据 D0~D7 输入建立时间			2.5	nS
THD	数据 D0~D7 输入保持时间	1			nS
TDC	DIR 或 NXT 输出有效的延时	1.5		6.5	nS
TDD	数据 D0~D7 输出有效的延时	1.5		7	nS



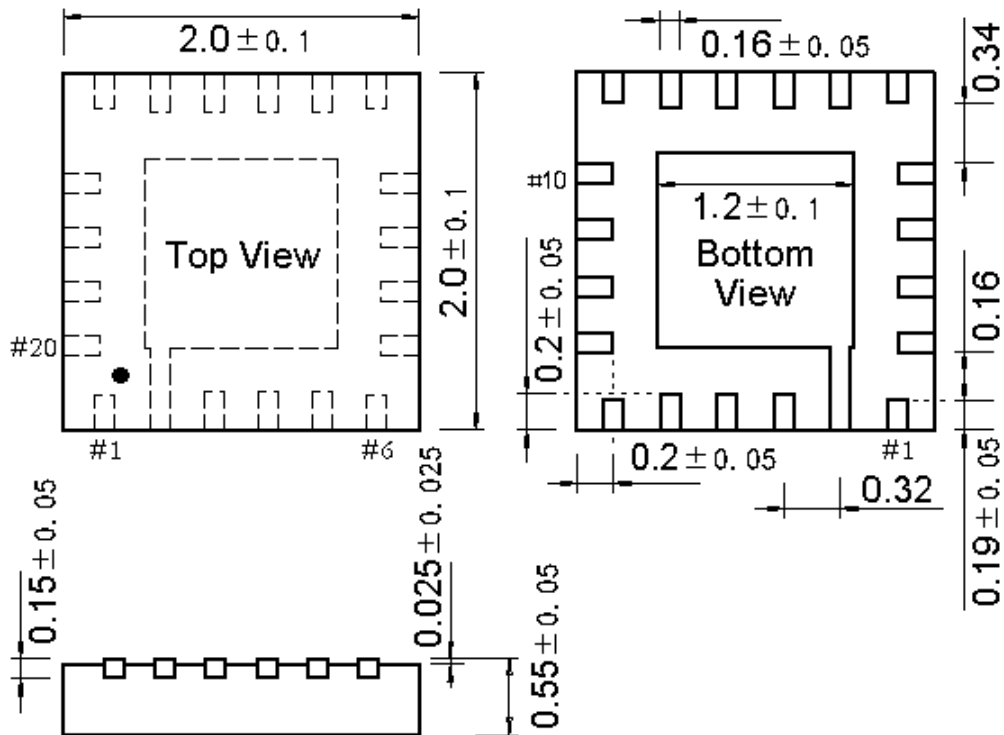
第 5 章 封装

说明:

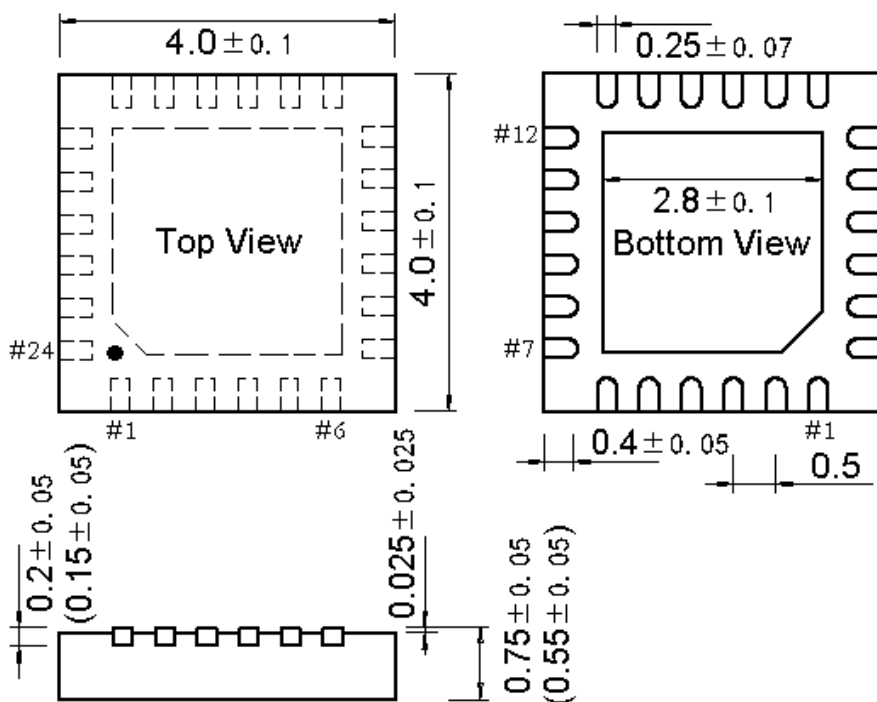
尺寸标注的单位是 mm (毫米)

引脚中心间距是标称值, 没有误差, 除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

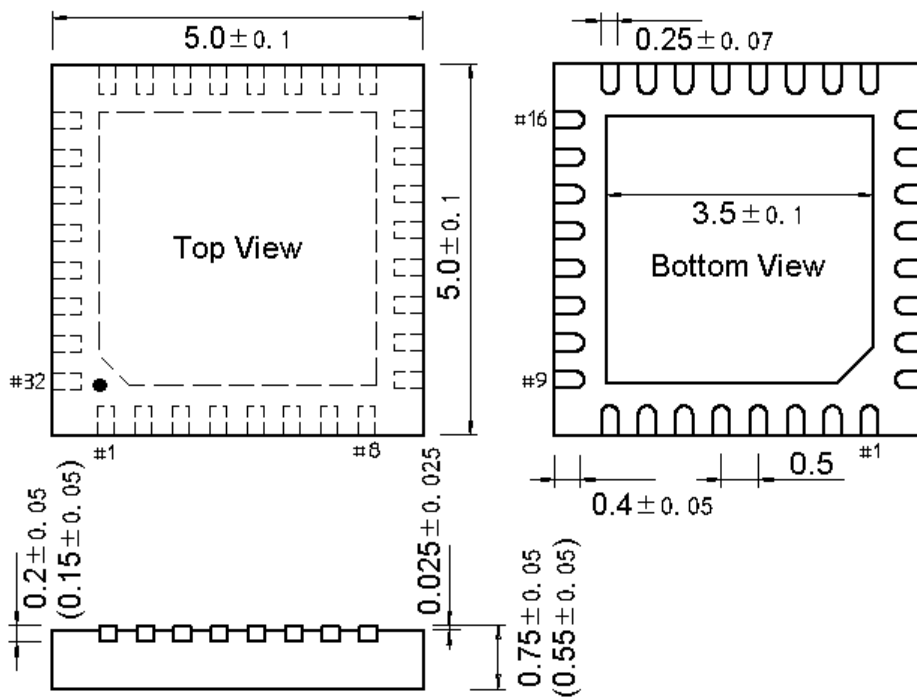
5.1 QFN20C_2x2



5.2 QFN24_4x4



5.3 QFN32_5x5



第 6 章 应用

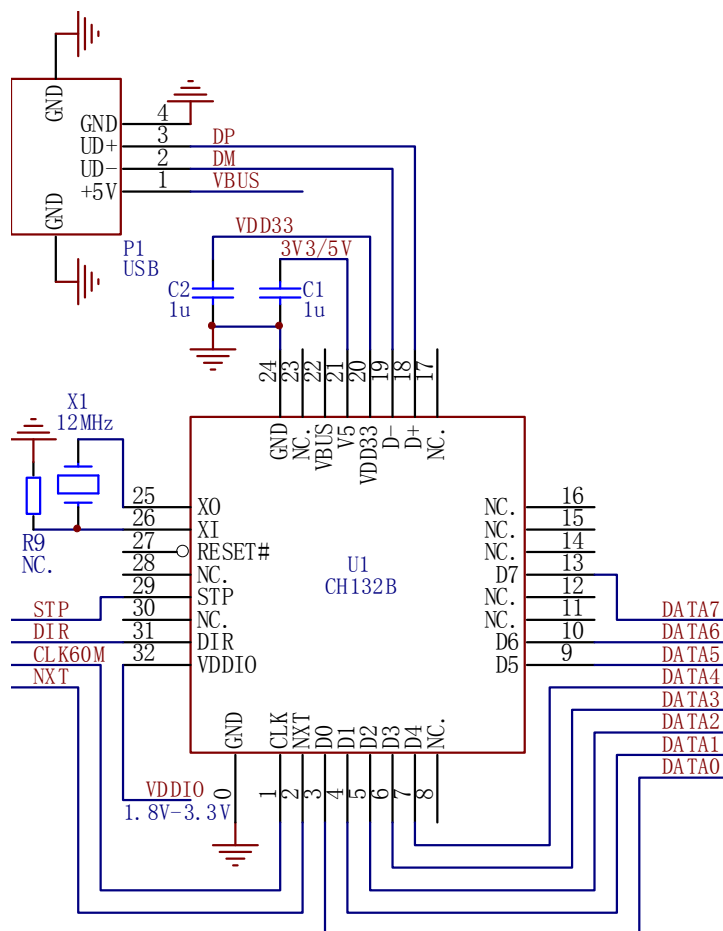
6.1 最小系统

CH132 作为单片机的 USB PHY，需连接 12 根信号线。RESET# 引脚默认为不连接。图中晶体可以用单片机或 FPGA 提供的 12MHz 时钟代替（注意 XI 引脚电压仅 1.2V，或改用 CLK 时钟输入模式）。MLCC 电容 C1 和 C2 可选范围为 1 μ F~4.7 μ F。

VDDIO 为 ULPI 接口 I/O 引脚电源，需加 0.1 μ F~1 μ F 退耦电容，VDDIO 电压应该与 MCU 或 FPGA 的 I/O 电压相同。

建议 CH132 优选 3.3V 外部供电，该 3.3V 同时从 V5 引脚和 VDD33 引脚输入。

图中 R9 默认不连接，为输出 ULPI 时钟模式，CLK 引脚输出 60MHz 时钟。如果 R9 短路，则使能输入 ULPI 时钟模式，可以去掉 X1，外部的 60MHz 时钟从 CLK 引脚输入。



6.2 带 VBUS 电源控制的 HOST 应用

CH132 作为 MCU 或 FPGA 的 USB PHY，需连接 12 根信号线。RESET# 引脚是可选连接，默认为悬空，如有连接则建议对方驱动设置为开漏输出。CH132 的 XI 和 XO 引脚已内置晶体振荡电容，外部只需要晶体 X1。如果 MCU 或 FPGA 可以提供 12MHz 时钟，那么可以去掉晶体 X1 并将 R3 改为 0（注意 XI 引脚电压仅 1.2V，或改用 CLK 时钟输入模式）。MLCC 电容 C2 可选范围为 1 μ F~10 μ F，建议再并联 0.1 μ F。

图中优选小体积的 CH132C，VDD33 和 V5 均与 MCU 或 FPGA 使用外部提供的同一个 3.3V 电源。

对于 USB host 应用，还需要向 VBUS 提供 5V 电源，建议考虑 VBUS 过流保护，参考下图可选 CH217 或类似的 USB 限流电源开关芯片并由 MCU 或 FPGA 控制实现 VBUS 过流保护。在 USB 设备带电插拔时，动态负载可能使 VBUS 电压瞬时降低，如果启用 CH132 内部 LDO，那么建议将 C2 换为 0.1 μ F 和 10 μ F 两个电容并联，以避免 5V 降低影响 VDD33 进而导致 CH132 复位。图中 CH132 未启用内部 LDO。

简单的 USB host 应用中也可以用 300mA~1A 保险电阻 R1 代替图中的 U5、R11、R21。

对于 USB device 应用，可以从 VBUS 得到 5V 电源，参考下图去掉 U5、R11、R21 和 C11，并将 R1 改为 0 或保险电阻，C4 根据 USB 规范减小到 10 μ F 之内。三种电源方案如下：

①、自供电 3.3V 方案，不用 VBUS 电源，如果需要检测也可以将 VBUS 通过 10K Ω 电阻接入 MCU 引脚进行检测；

②、外部 LDO 降压方案，通过外置 LDO 将 VBUS 降为 3.3V 供 MCU 和 CH132 使用，参考下图 U4 降压；

③、内部 LDO 降压方案，如果 MCU 功耗较小，那么也可以由 CH132 内部 LDO 降压后统一供电 3.3V，但 C2 需要适当加大，例如 10 μ F 并联 0.1 μ F，并且 VBUS 需加过压保护器件。

