

4:4 交叉通道超高速模拟开关芯片 CH9444

4:6 交叉通道超高速 USB 模拟开关芯片 CH9445

手册 V1.4

https://wch.cn

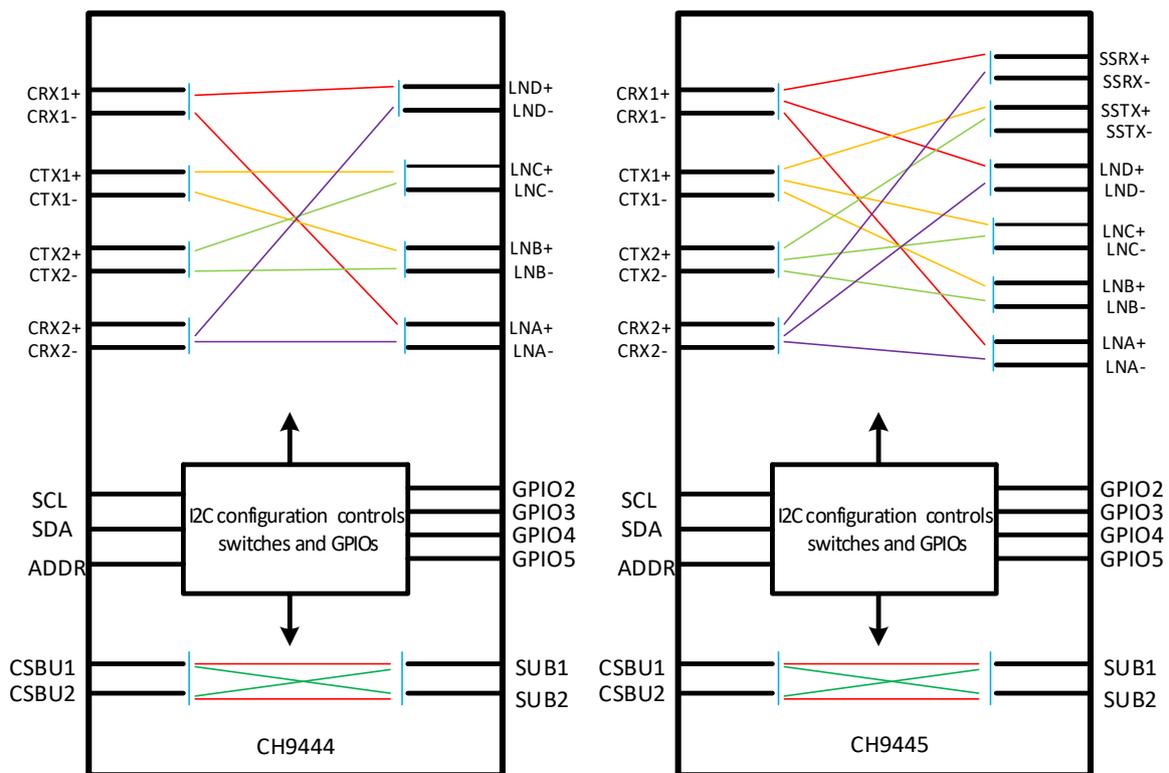
1、概述

CH9444 和 CH9445 是超高速差分信号双向模拟开关芯片，高宽带，低导通电阻。

CH9444 可以实现 DP1.4 8Gbps、USB3.0、480Mbps 等差分信号的交叉路由切换，用于平板电脑、笔记本电脑、拓展坞的 Type-C 转 4 Lane DP 等应用。

CH9445 比 CH9444 多了两对差分信号引脚，增加了 USB3.1 通道，支持 USB 10Gbps 差分信号，可以用于 Type-C 转 2 Lane DP+USB3 等应用。

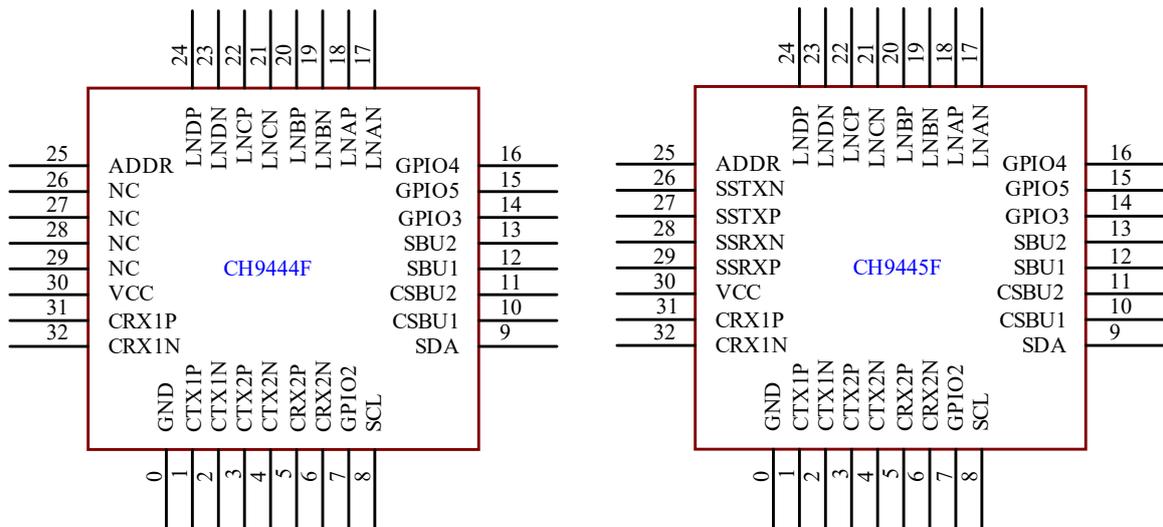
内部框图供参考：



2、特点

- 4:4 或者 4:6 交叉通道超高速差分信号 MUX 开关。
- 支持 USB3.1 10Gbps 信号。
- 支持 DP1.4 8Gbps 信号。
- 为 CSBU 和 SBU 引脚提供交叉开关电路。
- 通过 I2C 两线接口控制和配置多路 MUX 切换。
- 提供 4 个 GPIO 引脚，GPIO 支持中断。
- 支持低功耗模式。
- 提供 QFN32 封装形式。

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN32	4*4mm	0.40mm	15.7mil	四边无引线 32 脚	CH9444F
QFN32	4*4mm	0.40mm	15.7mil	四边无引线 32 脚	CH9445F

注：QFN 封装的底板标示为 0#引脚。

4、引脚定义

CH9444F 引脚号	CH9445F 引脚号	引脚名称	类型	引脚说明
30	30	VCC	电源	正电源，额定 3.3V
0	0	GND	电源	公共接地
1、2	1、2	CTX1P、CTX1N	I/O	模拟开关端口#0，可接 Type-C TX1 的正/负端口
3、4	3、4	CTX2P、CTX2N	I/O	模拟开关端口#1，可接 Type-C TX2 的正/负端口
31、32	31、32	CRX1P、CRX1N	I/O	模拟开关端口#2，可接 Type-C RX1 的正/负端口
5、6	5、6	CRX2P、CRX2N	I/O	模拟开关端口#3，可接 Type-C RX2 的正/负端口
7、14 15、16	7、14 15、16	GPIO2、GPIO3 GPIO5、GPIO4	I/O	GPIO 引脚，三态双向输入输出
8	8	SCL	I	I2C 时钟引脚输入
9	9	SDA	I/O	I2C 双向数据引脚，开漏输出
10、11	10、11	CSBU1、CSBU2	I/O	模拟开关端口#4/#5，可接 Type-C SBU1/SBU2 端口
12、13	12、13	SBU1、SBU2	I/O	模拟开关端口#6/#7，可选择与 CSBU1/CSBU2 导通
17、18	17、18	LNAN、LNAP	I/O	模拟开关端口#8，可接 DP A 的负/正端口
19、20	19、20	LNBN、LNBP	I/O	模拟开关端口#9，可接 DP B 的负/正端口
21、22	21、22	LNCN、LNCP	I/O	模拟开关端口#10，可接 DP C 的负/正端口
23、24	23、24	LNDN、LNDP	I/O	模拟开关端口#11，可接 DP D 的负/正端口
25	25	ADDR	I/O	输入：I2C 设备地址； 输出：GPIO 中断信号

			10: 保留; 11: H。 注: POL/CT1/CT0 构成的组合结果, 详见 Table-2。	
[1:0]	CT0	RW	MUX 控制字 0: 00: L; 01: M; 10: 保留; 11: H。 注: POL/CT1/CT0 构成的组合结果, 详见 Table-2。	00b

系统控制寄存器 0 (SYS_CTLR0)

位	名称	访问	描述	复位值
[7:3]	-	RO	保留	00h
[2]	ADR_INT_EN	RW	ADDR 输出中断配置位: 0: ADDR 为输入状态, 作为设备地址选择配置; 1: ADDR 将输出 GPIO 中断信号。 注: 此位置位的同时将对 ADDR 状态进行锁存, 作为 I2C 设备地址选择, 直到清除此位才能解除锁存。 设置此位之前请确认 ADDR 引脚没有直接与 VCC 或者 GND 短路, 如果需要兼做地址输入, 建议用上拉电阻。	0b
[1:0]	SEL_SW[1:0]	RW	低速信号通道开关控制: 01: CSBU 与 SBU 交叉导通; 10: CSBU 与 SBU 直接导通; 其他: 开关断开。	00b

系统控制寄存器 1 (SYS_CTLR1)

位	名称	访问	描述	复位值
[7:4]	SEL_B[3]	RW	开关控制 0: 开关断开; 1: 开关闭合。	0h
	SEL_B[2]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_B[1]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_B[0]		开关控制 0: 开关断开; 1: 开关闭合。	
[3:0]	SEL_A[3]	RW	开关控制 0: 开关断开; 1: 开关闭合。	0h
	SEL_A[2]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_A[1]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_A[0]		开关控制 0: 开关断开; 1: 开关闭合。	

注: SEL_B[Y] (Y=0、1、2、3) 可以控制 SSRXN、SSRXP、LNBP、LNBN 开关的状态, 详见 5.2 节内部开关示意图。

系统控制寄存器 2 (SYS_CTLR2)

位	名称	访问	描述	复位值
[7:4]	SEL_D[3]	RW	开关控制 0: 开关断开; 1: 开关闭合。	0h
	SEL_D[2]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_D[1]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_D[0]		开关控制 0: 开关断开; 1: 开关闭合。	
[3:0]	SEL_C[3]	RW	开关控制 0: 开关断开; 1: 开关闭合。	0h
	SEL_C[2]		开关控制 0: 开关断开; 1: 开关闭合。	
	SEL_C[1]		开关控制 0: 开关断开; 1: 开关闭合。	

	SEL_C[0]	开关控制 0: 开关断开; 1: 开关闭合。	
--	----------	------------------------	--

注 1: SEL_D[Y] (Y=0、1、2、3) 可以控制 SSTXN、SSTXP、LNDP、LNDN 开关的状态, 详见 5.2 节内部开关示意图。

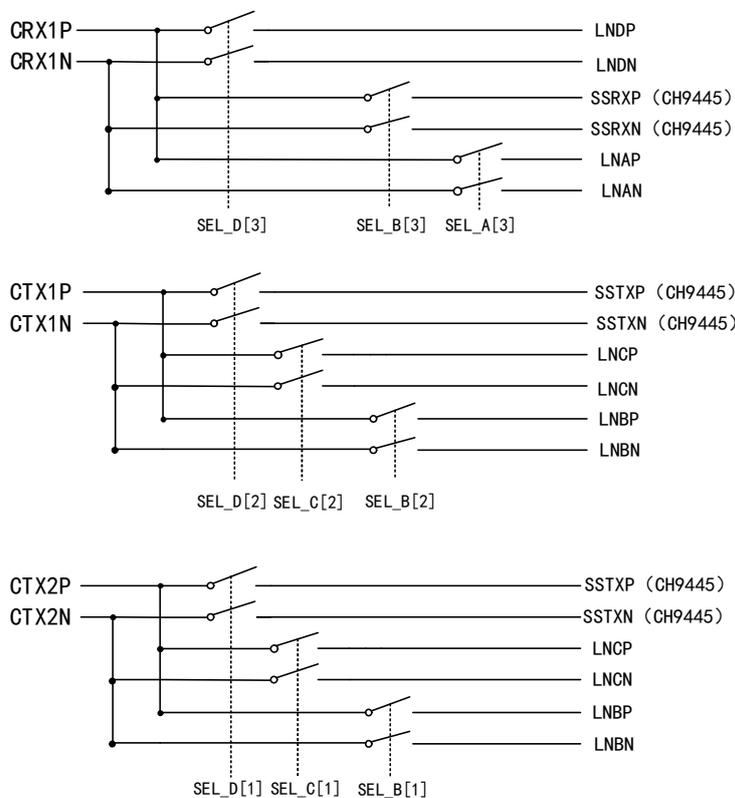
注 2: SYS_CTLR0 的操作即时生效, 但是 SYS_CTLR1 的写操作不会将写入值及时更新到寄存器中, 而是暂存到备份寄存器中, 待完成对 SYS_CTLR2 的写操作后, 会将 SYS_CTLR1 和 SYS_CTLR2 的写入值同时加载到对应寄存器中, 对开关进行控制, 保证所有开关同时切换, 即所有的开关切换是在完成 SYS_CTLR2 的写操作之后同时生效。

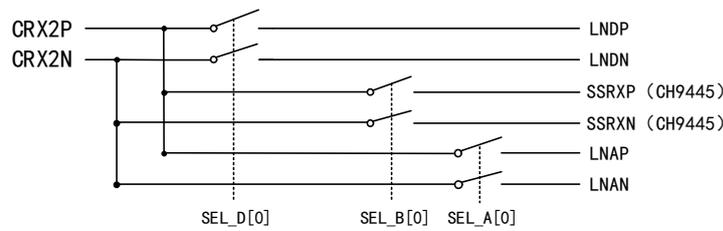
Table-2 MUX 配置表

[POL/CT1/CT0]	ALL OFF	USB3.1/ USB3.1 flip		4 Ln DP/ 4 Ln DP flip		USB3.1LnA LnB/ USB3.1LnA LnB flip		USB3.1 LnC LnD/ USB3.1LnC LnD flip		USB3.1 LnA LnC/ USB3.1LnA LnC flip	
	[X/X/L]	[L/M/H]	[H/M/H]	[L/H/H]	[H/H/H]	[L/L/H]	[H/L/H]	[L/L/M]	[H/L/M]	[L/M/M]	[H/M/M]
SSRX	X	CRX1	CRX2	X	X	CRX1	CRX2	CRX1	CRX2	CRX1	CRX2
SSTX	X	CTX1	CTX2	X	X	CTX1	CTX2	CTX1	CTX2	CTX1	CTX2
LNA	X	X	X	CRX2	CRX1	CRX2	CRX1	X	X	CRX2	CRX1
LNB	X	X	X	CTX2	CTX1	CTX2	CTX1	X	X	X	X
LNC	X	X	X	CTX1	CTX2	X	X	CTX2	CTX1	CTX2	CTX1
LND	X	X	X	CRX1	CRX2	X	X	CRX2	CRX1	X	X
SBU1	X	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2
SBU2	X	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1	CSBU2	CSBU1

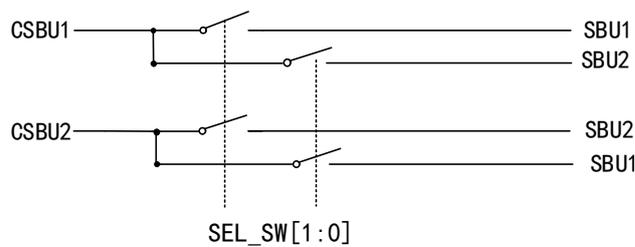
注: CH9444 没有 SSRX 和 SSTX。

5.2 内部开关示意图





- SEL_X[Y]=1, 开关闭合, SEL_X[Y]=0 开关断开 (X=D、C、B、A; Y=3、2、1、0)。



- SEL_SW[1:0]=00 或者 11, 4 个开关全部断开;
- SEL_SW[1:0]=01, 右侧开关导通 (交叉); SEL_SW[1:0]=10, 左侧开关导通 (直通)。

5.3 GPIO 控制寄存器

通用 I/O 由寄存器控制的独立 I/O 引脚组成。GPIO 支持中断功能。如果 GP2~GP5 的值发生变化将产生中断信号, 这个信号可以是边沿触发 (上升/下降) 或者电平触发 (高/低)。

Table-3 GPIO 寄存器列表

名称	地址	描述	复位值
GPIO_DIR	0x20	GPIO 方向配置寄存器	0x00
GPIO_PIN	0x21	GPIO 输入值寄存器	0xXX
GPIO_OUT	0x22	GPIO 输出值寄存器	0x00
GPIO_IMR	0x23	GPIO 中断触发模式配置寄存器	0x00
GPIO_TLR	0x24	GPIO 中断触发电平配置寄存器	0x00
GPIO_TER	0x25	GPIO 中断触发边沿配置寄存器	0x00
GPIO_ISR	0x26	GPIO 中断状态寄存器	0x00
GPIO_INTENR	0x27	GPIO 中断使能寄存器	0x3C
GPIO_IAENR	0x28	GPIO 全局中断使能寄存器	0x01
GPIO_PUDR	0x29	GPIO 上拉/下拉配置寄存器	0x00
GPIO_PUDER	0x2A	GPIO 上拉/下拉禁用寄存器	0x00

GPIO 方向配置寄存器 (GPIO_DIR)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_DIR	RW	GPIO 方向配置: 0: 输入; 1: 输出。	0h
[1:0]	-	R0	保留	00b

GPIO 输入值寄存器 (GPIO_PIN)

位	名称	访问	描述	复位值
---	----	----	----	-----

[7:6]	-	R0	保留	00b
[5:2]	GP_PIN	R0	GPIO 输入值： 0：输入低电平； 1：输入高电平。	0Xh
[1:0]	-	R0	保留	00b

GPIO 输出值寄存器 (GPIO_OUT)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_OUT	RW	GPIO 输出值配置： 0：输出低电平； 1：输出高电平。	0h
[1:0]	-	R0	保留	00b

GPIO 中断触发模式配置寄存器 (GPIO_IMR)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_IMR	RW	GPIO 中断触发模式配置： 0：电平触发； 1：边沿触发。	0h
[1:0]	-	R0	保留	00b

GPIO 中断触发电平配置寄存器 (GPIO_TLR)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_TLR	RW	GPIO 中断触发电平配置： 0：低电平触发； 1：高电平触发。	0h
[1:0]	-	R0	保留	00b

GPIO 中断触发边沿配置寄存器 (GPIO_TER)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_TER	RW	GPIO 中断触发边沿配置： 0：下降沿触发； 1：上升沿触发。	0h
[1:0]	-	R0	保留	00b

GPIO 中断状态寄存器 (GPIO_ISR)

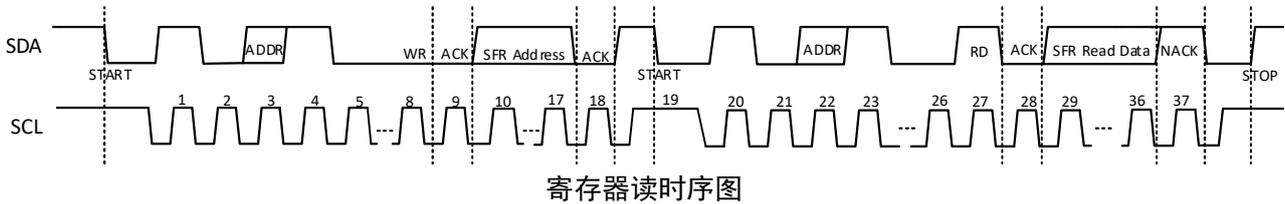
位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_ISR	RW	GPIO 中断状态位，写 0 清除： 0：无中断； 1：有中断产生。	0h
[1:0]	-	R0	保留	00b

GPIO 中断使能寄存器 (GPIO_INTENR)

位	名称	访问	描述	复位值
[7:6]	-	R0	保留	00b
[5:2]	GP_INTENR	RW	GPIO 中断使能配置：	0Fh

- (1) I2C 主机产生开始位，同时发送设备地址 + 写控制信号，并等待 CH9444/CH9445 响应 ACK；
- (2) I2C 主机发送写操作寄存器的地址，并等待 CH9444/CH9445 响应 ACK；
- (3) I2C 主机以字节为单位发送写数据，并等待 CH9444/CH9445 响应 ACK；
- (4) I2C 主机在得到 ACK 后，产生 STOP 位，结束写操作。

5.4.2 寄存器读操作



如上图所示，CH9444 和 CH9445 的寄存器读流程如下：

- (1) I2C 主机产生开始位，同时发送设备地址 + 写控制信号，并等待 CH9444/CH9445 响应 ACK；
- (2) I2C 主机发送读操作寄存器的地址，并等待 CH9444/CH9445 响应 ACK；
- (3) I2C 主机再次产生开始位，同时发送设备地址 + 读控制信号，并等待 CH9444/CH9445 响应 ACK；
- (4) I2C 主机以字节为单位获取读数据；
- (5) I2C 主机在获取 1 个字节数据后，发送 NACK 响应，并产生 STOP 位，结束读操作。

5.4.3 中断输出

CH9444 和 CH9445 提供了 4 个独立的 GPIO，可将 GPIO 产生的中断通过 ADDR 脚对外输出。GPIO 中断输出功能通过将系统控制寄存器 0 (SYS_CTLR0) 的 ADR_INT_EN 位置 1 开启，一旦开启此功能，CH9444/CH9445 将锁存此时的 ADDR 电平，用于后续 I2C 操作中的设备地址控制，ADDR 的电平将不再影响设备地址，只反映 GPIO 的中断状态。将 ADR_INT_EN 位清零，将禁止中断输出功能，同时 ADDR 脚的电平再次影响设备地址的控制。

芯片输入信号有四个通道，输出中断信号有一个通道。可以将 4 个 GPIO 引脚设置不同的中断触发条件（如果使用电平触发中断模式，引脚的触发电平状态需要保持一致），再通过配置 GPIO 中断使能寄存器 (GPIO_INTENR) 开启所需要的中断信号。

注：启用中断输出之前请确认 ADDR 引脚没有被短路到 VCC 或者 GND。启用中断后 ADDR 引脚为开漏输出，如果需要 ADDR 兼做地址输入，建议外接数十 KΩ 上拉电阻，并使用 ADDR 高电平所对应的 I2C 设备地址。

5.4.4 开关控制

CH9444 和 CH9445 通过配置 POL/CT1/CT0 的不同组合，实现对开关的控制，详见 Table-2。同时，CH9444/CH9445 增加 3 个系统控制寄存器，提供了更加灵活的开关控制组合。系统控制寄存器 0 (SYS_CTLR0)、系统控制寄存器 1 (SYS_CTLR1) 和系统控制寄存器 2 (SYS_CTLR2) 可以实现对每一个开关的独立控制，不限制组合形式，可根据应用需求合理进行配置。

如果通过 MUX 控制寄存器 (MUX_CTLR) 中的 POL/CT1/CT0 组合来控制开关的话，系统控制寄存器 0 (SYS_CTLR0) 中的 SEL_SW[1:0] 位、系统控制寄存器 1 (SYS_CTLR1) 和系统控制寄存器 2 (SYS_CTLR2) 的所有位都需要恢复成上电复位值 0。

如果需要通过系统控制寄存器 0 (SYS_CTLR0)、系统控制寄存器 1 (SYS_CTLR1) 和系统控制寄存器 2 (SYS_CTLR2) 来控制开关的话，MUX 控制寄存器 (MUX_CTLR) 中的 POL/CT1/CT0 位需要恢复为上电复位值 0。

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VCC	电源电压（VCC 接电源，GND 接地）	-0.4	3.8	V
VIOSBU	模拟开关端口#4-#7 输入或输出引脚上的电压	-0.4	VCC+0.4	V
VIOHS	模拟开关端口#0-#3、#8-#13 输入或输出引脚上的电压	-0.4	VCC	V
ISW	模拟开关允许通过的最大电流		10	mA

6.2 电气参数（测试条件：TA=25°C，VCC=3.3V）

名称	参数说明	最小值	典型值	最大值	单位
VCC	芯片工作电压（VCC 接电源，GND 接地）	2.8	3.3	3.45	V
ICCS	静态电流		75	200	uA
ICCS D	低功耗电流		2	30	uA
VIL	SCL/SDA/ADDR/GPIO 低电平输入电压	0		0.8	V
VIH	SCL/SDA/ADDR/GPIO 高电平输入电压	2.2		VCC	V
VOL	SDA/ADDR/GPIO 低电平输出电压	1mA 吸入电流	0	0.5	V
VOH	GPIO 高电平输出电压	1mA 输出电流	VCC-0.5	VCC	V
RUP	GPIO 内置上拉电阻	30	50	80	kΩ
RDN	GPIO 内置下拉电阻	30	50	80	kΩ

6.3 超高速通道电气参数（测试条件：TA=25°C，VCC=3.3V，VCM=0.3V）

名称	参数说明	最小值	典型值	最大值	单位
VCM	超高速端口工作电压	0		1.6	V
VPP	超高速端口差分电压			1.8	V
RONS	超高速模拟开关（端口#0-#3 与#8-#13）导通电阻		8	15	Ω

6.4 低速通道电气参数（测试条件：TA=25°C，VCC=3.3V）

名称	参数说明	最小值	典型值	最大值	单位
RONL	低速模拟开关（端口#4-#5 与#6-#7）导通电阻		4.7	8	Ω
VCM SB	低速 CSBU 和 SBU 电压输入范围	0		VCC	V

6.5 通道时序参数（测试条件：TA=25°C，VCC=3.3V，VCM=0.3V）

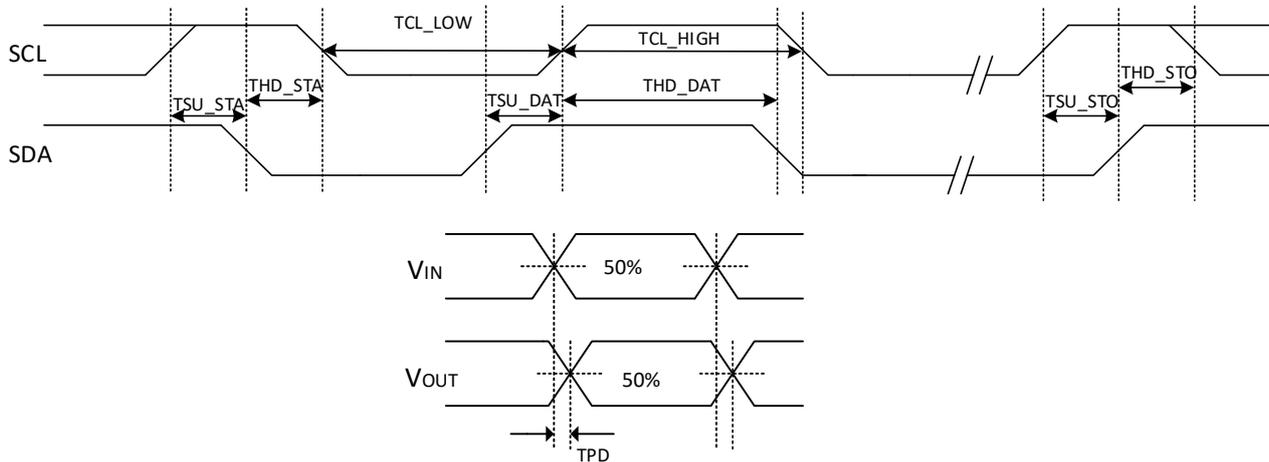
名称	参数说明	最小值	典型值	最大值	单位
DILH	差分插入损耗 Differential insertion loss	0.1GHz		-0.72	dB
		2.5GHz		-0.8	dB
		4GHz		-1.8	dB
DOI H	差分关断隔离度	0.1GHz		-44	dB

	Differential off-isolation	2.5GHz	-36	dB
		4GHz	-20	dB
DRLH	差分回损 Differential return loss	0.1GHz	-22	dB
		2.5GHz	-25.6	dB
		4GHz	-14	dB
NECH	差分近端串扰 Near end crosstalk	0.1GHz	-76	dB
		2.5GHz	-33	dB
		4GHz	-25	dB
BW	超高速通道信号带宽 (设计值)		6	GHz

6.6 其他特性 (测试条件:TA=25°C)

名称	参数说明	最小值	典型值	最大值	单位
VESDHS	端口#0-#3 与#8-#13 高速通道的 HBM ESD 耐压		3		KV
VESDLS	端口#4-#5 与#6-#7 低速通道的 HBM ESD 耐压		4		KV
VESDIO	I2C 引脚和 GPIO 引脚的 HBM ESD 耐压		4		KV
VIL_I2C	SCL 和 SDA 引脚低电平输入	0		0.8	V
VIH_I2C	SCL 和 SDA 引脚高电平输入	2.2		VCC	V
VIL_ADDR	ADDR 引脚低电平输入	0		0.8	V
VIH_ADDR	ADDR 引脚高电平输入	2.2		VCC	V
VLVR	低电压复位阈值	1.7	1.9	2.2	V

6.7 接口时序参数

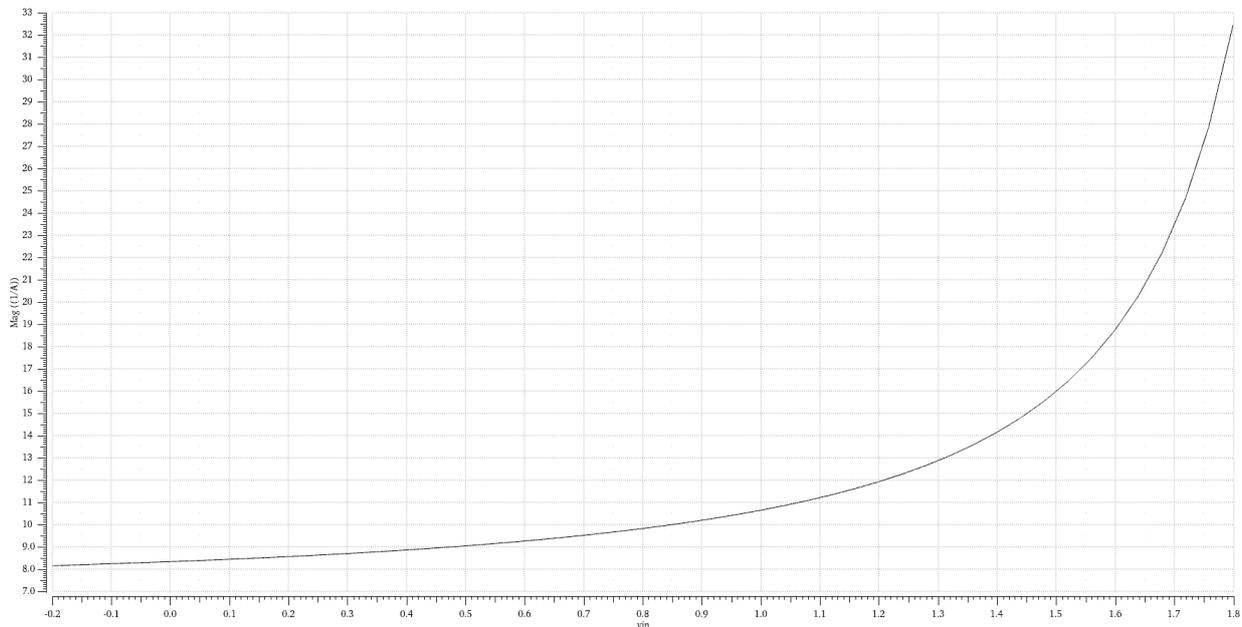


名称	参数说明	最小值	典型值	最大值	单位
TSU_DAT	SDA 数据对 SCL 上升沿的建立时间	30			ns
THD_DAT	SDA 数据对 SCL 上升沿的保持时间	20			ns
TSU_STA	SDA 下降沿起始信号建立时间	100			ns
THD_STA	SDA 下降沿起始信号保持时间	100			ns
TSU_STO	SDA 上升沿停止信号建立时间	100			ns
THD_STO	SDA 上升沿停止信号保持时间	100			ns
TCL_LOW	SCL 时钟信号的低电平宽度	100			ns

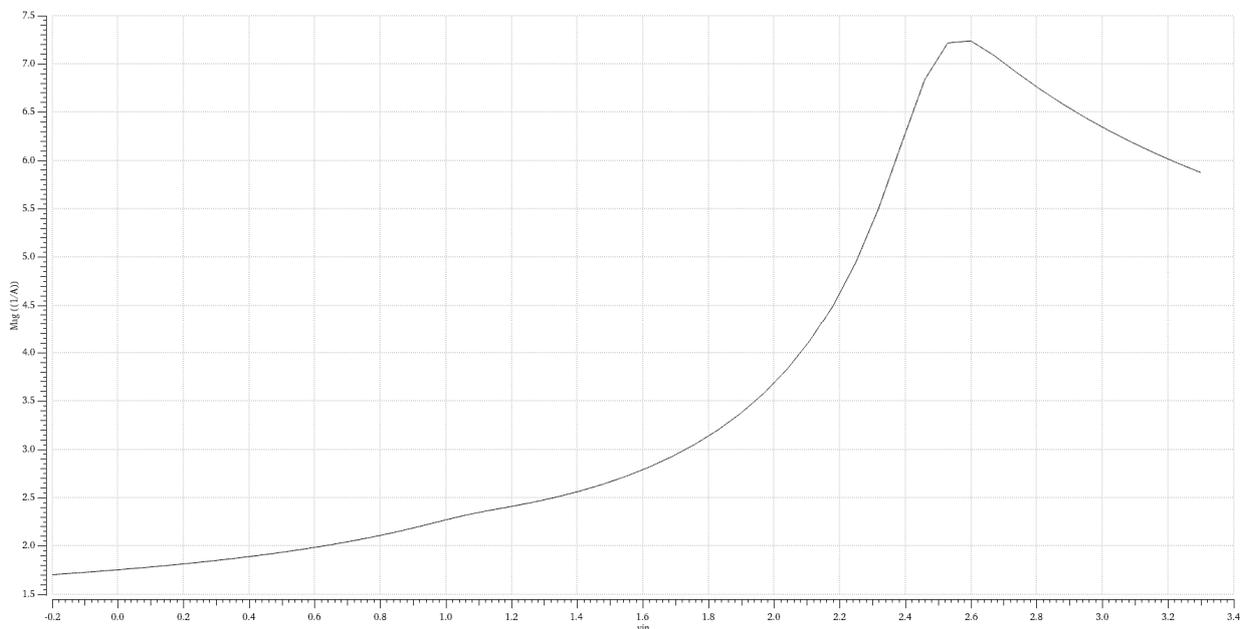
TCL_HIGH	SCL 时钟信号的高电平宽度	100			ns
TONS	模拟开关开启延时		15	50	ns
TOFFS	模拟开关关闭延时		15	50	ns
TPD	开关传播延时		0.08		ns

6.8 特性图示

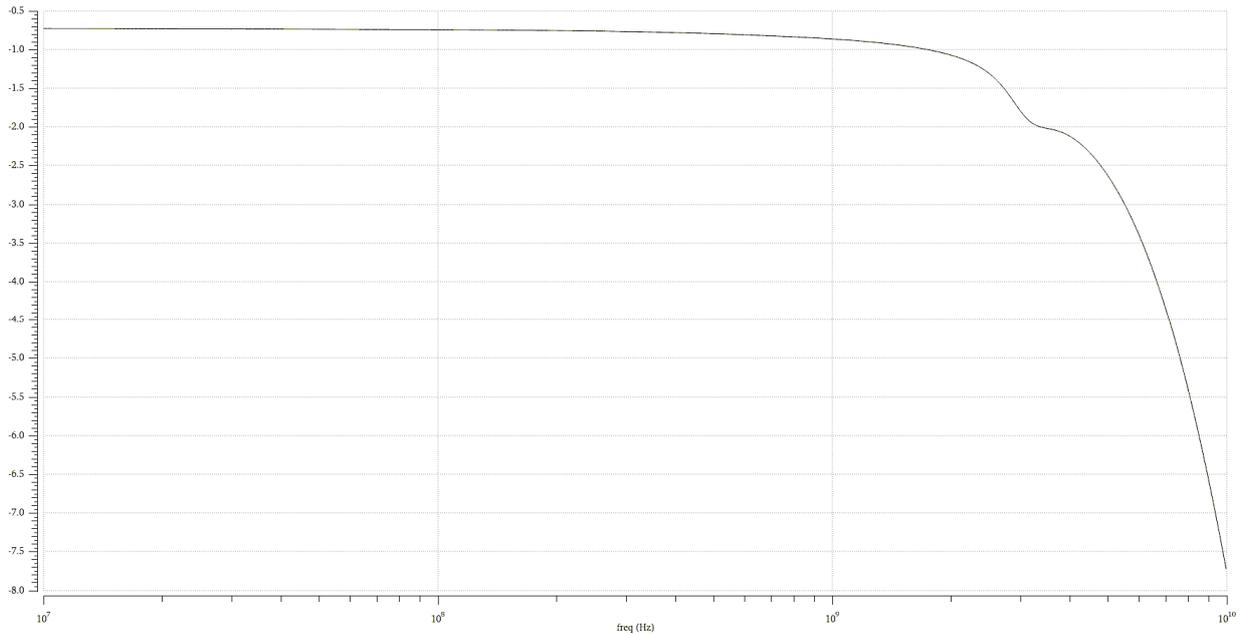
6.8.1 模拟开关端口#0-#3 与#8-#13 导通电阻 RON 与模拟信号电压 VCOM 的相关性



6.8.2 模拟开关端口#4-#5 与#6-#7 导通电阻 RON 与信号电压的相关性



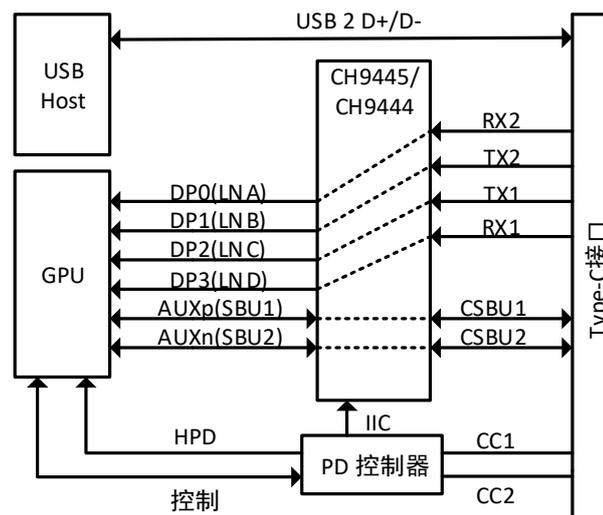
6.8.3 模拟开关端口#0-#3 与#8-#13 导通通道的 DILH 高频特性



7、应用

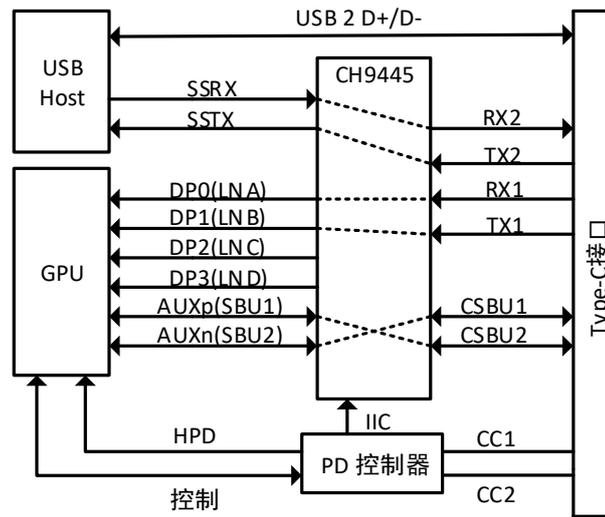
7.1 Type-C 转 DP 接口

CH9444 和 CH9445 可以用于 Type-C 转 DP 接口的应用，当 POL/CT1/CT0=L/H/H 时，选用 4 Lane DP 通道模式，Type-C 的四对差分通道通过 CH9444/CH9445 连接 DP 接口即 ML0~ML3，PD 控制器 MCU 例如 CH32X035 或 CH32L103 或 CH543 芯片仅负责对 DP Alt Mode 的触发，完全不干涉 DP 信号自身。发挥了 Type-C 端口完整的 DP 输出能力，在这样的 4 Lane 触发基础上加上 DP 信号转换即可以制作成各式各样的 Type-C 转视频接口线。



7.2 Type-C 转 DP+USB 接口

当 CH9445 芯片配置 POL/CT1/CT0=H/L/H 时，选用 2 Lane DP+USB 通道模式，Type-C 的四对差分通道中的 TX1 和 RX1 两对差分通道通过 CH9445 连接 DP 的两个接口，RX2 和 TX2 两对差分通道通过 CH9445 连接 USB 超高速 SuperSpeed 通道。



8、封装信息

8.1 QFN32

