

## 概述

CH397 是一款高集成度、低功耗的 USB 网卡芯片，内置青稞 RISC-V 处理器、符合 USB2.1 协议规范的高速 USB 控制器及收发器 PHY、以及符合 IEEE802.3 协议规范、支持 10M/100M 网络的以太网 MAC+PHY。适配各类台式电脑、笔记本电脑、平板电脑、游戏机等标准 USB 主机接口，用于通过 USB 扩展以太网接口。

## 特点

- 单芯片 USB2.0/2.1 转 10/100M 快速以太网，集成 USB PHY 和以太网 MAC 及以太网 PHY
- 支持 CDC-ECM 协议和 CDC-NCM 协议及 RNDIS 协议，免安装驱动程序或可选厂商驱动程序
- 支持 10Mbps 和 100Mbps 速率，兼容 IEEE 802.3 10BASE-T/100BASE-TX
- 支持 10M/100M 自动协商
- 内置 TX/RX 封包缓冲
- 支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验生成和检查
- 支持 IEEE 802.3x 流量控制和半双工冲突压力回退流量控制
- 支持 IEEE 802.3Q VLAN 标记
- 支持休眠模式和低功耗的睡眠模式，支持网络低功耗配置，支持动态电源管理
- 支持通过魔术包和网络唤醒包等事件进行远程唤醒
- 支持 UTP CAT5、CAT6 双绞线，支持 120 米传输距离
- 支持 Auto-MDIX 交换 TX/RX，自动识别正负信号线
- 可选的外置 SPI Flash，可以更新用户配置
- 支持 LED 闪烁频率和占空比配置
- 内置 LDO，单电源供电
- 内置 50Ω 阻抗匹配电阻，内置晶体振荡器所需电容，外围电路精简
- 处理器 IP、控制器和收发器 IP 全部自研并紧密整合集成，效率高，成本低，免除 IP 授权费
- 6KV 增强 ESD 性能，Class 3A
- 提供 QFN24、QFN32 等多种封装形式

# 第 1 章 引脚信息

## 1.1 引脚排列

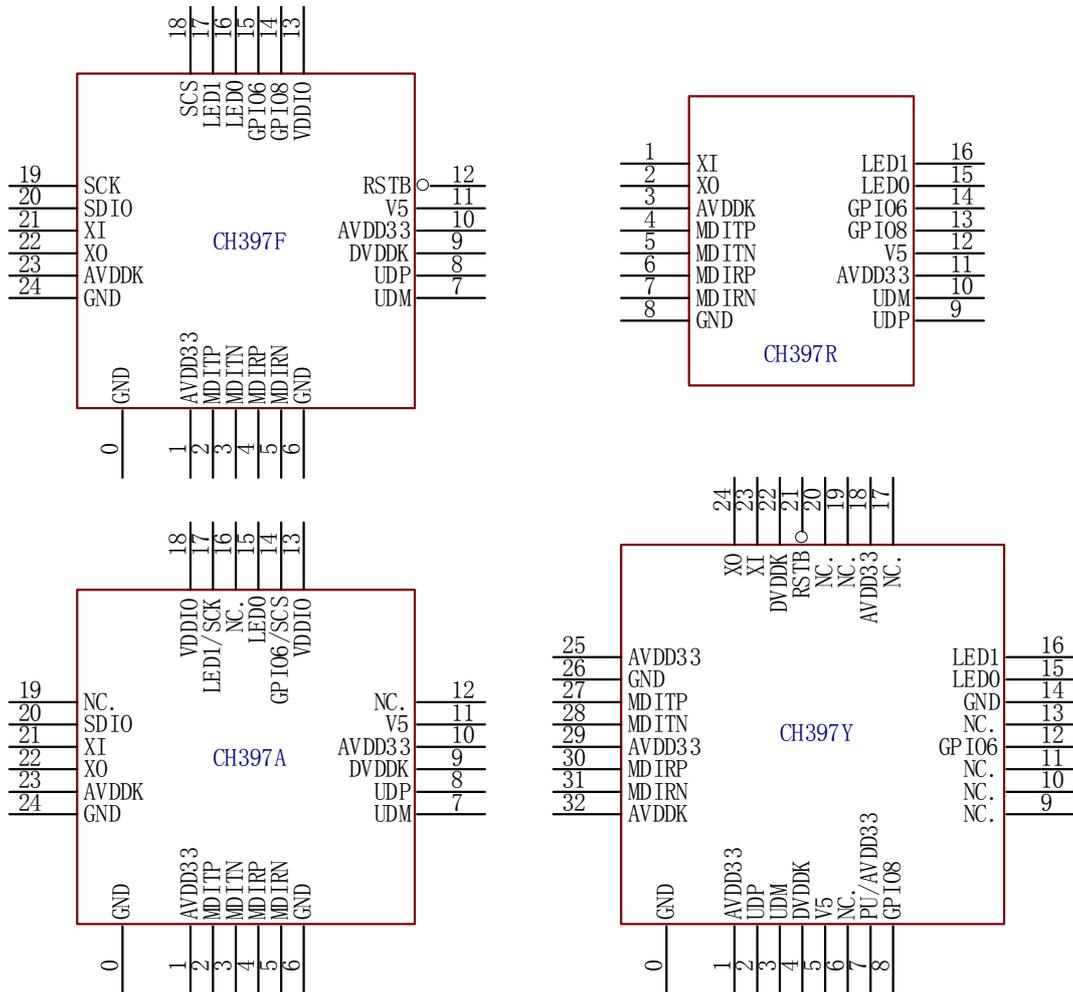


图 1-1 CH397 引脚分布

注：0#引脚是 QFN 封装的底板；CH397A 和 CH397Y 及 CH397R 已内置 SPI Flash。另有更小体积的 QFN 封装可供批量预订。

## 1.2 封装

表 1-2 CH397 封装说明

封装形式	塑体宽度		引脚节距		封装说明	订货型号
QFN24_4*4	4.0mm		0.5mm	19.7mil	四边无引线 24 脚	CH397F
QSOP16	3.9mm	150mil	0.635mm	25mil	1/4 尺寸 16 脚贴片	CH397R
QFN24_4*4	4.0mm		0.5mm	19.7mil	四边无引线 24 脚	CH397A
QFN32_4*4	4.0mm		0.4mm	15.7mil	四边无引线 32 脚	CH397Y

### 1.3 引脚描述

表 1-3 CH397 引脚定义

引脚号				引脚名称	类型	功能描述
397F	397R	397A	397Y			
7	10	7	3	UDM	USB	USB2.0 高速差分信号线 D-
8	9	8	2	UDP	USB	USB2.0 高速差分信号线 D+
2	4	2	27	MDITP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分发送端；
3	5	3	28	MDITN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分接收端
4	6	4	30	MDIRP	ETH	MDI 模式下为 10BASE-T/100BASE-TX 的差分接收端；
5	7	5	31	MDIRN	ETH	MDIX 模式下为 10BASE-T/100BASE-TX 的差分发送端
21	1	21	23	XI	I	晶振输入端，需外接 25MHz 晶体一端，或外部时钟输入
22	2	22	24	X0	O	晶振反相输出端，需外接 25MHz 晶体另一端
11	12	11	5	V5	P	5V 或 3.3V 电源输入，外接 10uF 或 4.7uF 退耦电容
10	13	10	1	AVDD33	P	LDO 输出及 3.3V 模拟电路电源输入， 外接 0.1uF 并联 10uF 或 4.7uF 退耦电容
13		13、18	18、	VDDIO	P	I/O 的电源输入，外接 0.1uF 或 1uF 退耦电容
1	-	1	25、29	AVDD33	P	3.3V 电源输入，外接 1uF 退耦电容
-	-	-	7	PU/ AVDD33	P	上拉到 AVDD33 或者直连 AVDD33
23	3	23	32	AVDDK	P	内核模拟电路的电源退耦端，外接 1uF 退耦电容
9	-	9	4、22	DVDDK	P	内核数字电路的电源退耦端，外接 0.1uF 或 1uF 退耦电容
6	8	6	14	GND	P	公共接地端，必要连接
24	-	24	26	GND	P	公共接地端，可选但建议连接
0	-	0	0	GND	P	公共接地端（QFN 底板），必要连接
16	15	15	15	LED0	O	ETH 端口状态指示灯 0
17	16	17	16	LED1	O	ETH 端口状态指示灯 1
19	-		-	SCK	O	SPI Flash 串行时钟信号输出端
15	14	14	12	GPI06	I/O	通用 I/O 接口 6，内置上拉
18	-		-	SCS	O	SPI Flash 片选信号输出端
14	13	-	8	GPI08	I/O	通用 I/O 接口 8，内置上拉
20	-	20	-	SDIO	I/O	SPI Flash 串行数据输入输出端，接 Flash 的 SI 和 SO 引脚
12	-	-	21	RSTB	I	外部复位输入引脚，低电平有效，内置上拉
-	-	12、 16、 19	6、9、 10、11、 13、17、 19、20	NC		空脚或保留引脚，建议悬空

引脚类型：

- (1) I: 3.3V 信号输入。
- (2) O: 3.3V 信号输出。
- (3) P: 电源或地。
- (4) USB: USB 信号。
- (5) ETH: 以太网信号。

## 第 2 章 系统结构

### 2.1 系统结构

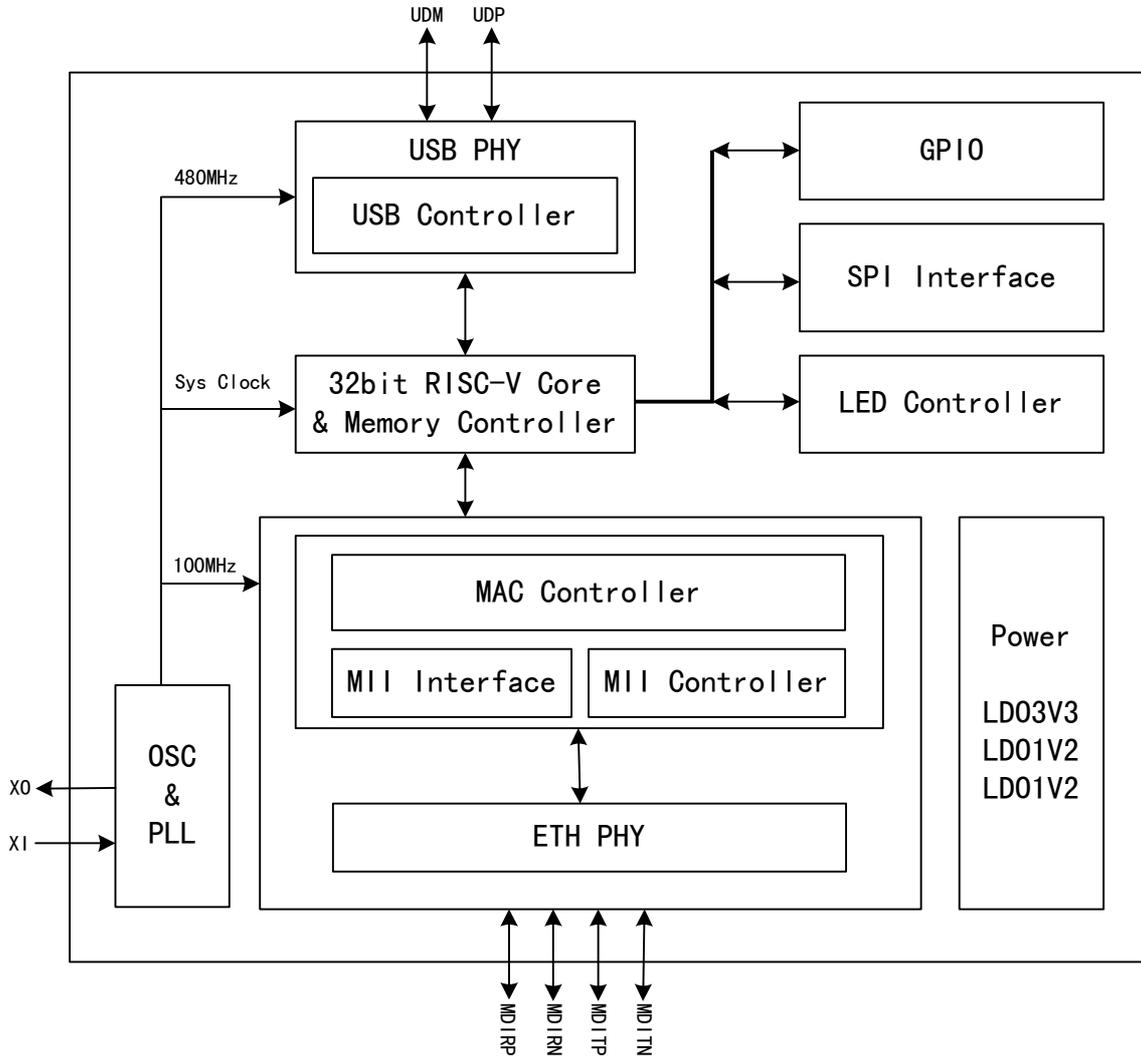


图 2-1 系统框图

图 2-1 是 USB 网卡芯片的结构框图，包括 USB2.1 控制器、USB PHY 高速收发器、青稞 RISC-V 处理器内核、以太网控制器、以太网 PHY 收发器等组成，所有控制器 IP 和收发器 IP 以及处理器内核 IP 均为自研，内部连接更紧密，传输效率高，功耗低。RISC-V 内核 MCU 微控制器用于实现对多种协议的支持，固件支持 CDC-ECM、CDC-NCM 和 RNDIS 及厂商协议。

## 第 3 章 基本功能

### 3.1 时钟和复位

#### 3.1.1 时钟源

芯片使用外置 25MHz 无源晶体配合内部振荡器提供时钟源，已内置负载电容 12pF 的外部晶体所需的两个振荡电容，外部晶体连接在 XI 和 XO 引脚上，通过 PLL 产生 USB PHY 所需的 480MHz 时钟、ETH PHY 所需的 125MHz 时钟和 MCU 内核的时钟。

#### 3.1.2 上电复位

芯片内嵌了上电复位模块，一般无需外部提供复位信号，当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时  $T_{rpor}$  约 8~25ms 以等待电源稳定。在运行过程中，当电源电压低于  $V_{lvr}$  时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。图 3-1 为上电复位过程以及低压复位过程。

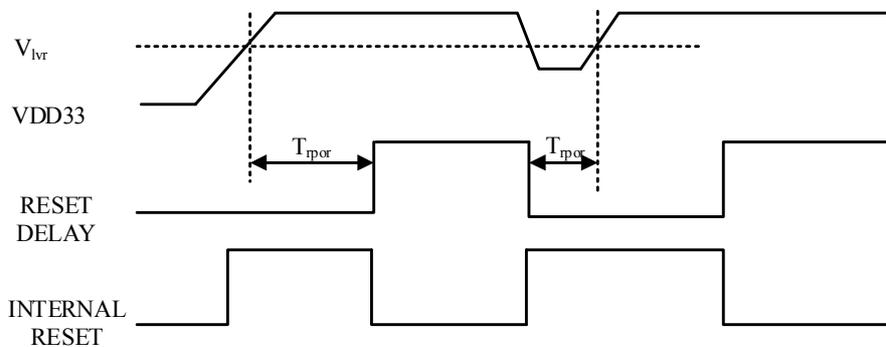


图 3-1 上电复位

#### 3.1.3 外部复位

外部复位输入引脚 RSTB 内置约 25~50kΩ 上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平，复位的低电平脉宽建议至少 5μs。

### 3.2 USB 接口和固件

芯片集成的 USB 高速设备控制器和 USB-PHY 收发器，支持 USB2.0/USB2.1 规范的高速和全速，支持总线挂起、复位、唤醒和恢复等功能，支持 LPM (Link Power Management) 功能。批量用户可以定制 USB 设备 VID、PID、序列号和厂商字符串等信息。

内部固件默认支持 CDC-ECM 模式，定制固件可以支持厂商驱动程序和 CDC-NCM。固件将根据用户的配置要求和 PC 上位机下发的命令，选择并启用相应的模式。

### 3.3 10/100M 以太网

芯片集成的 10M/100M 快速以太网 MAC 控制器和百兆收发器 PHY，兼容 IEEE 802.3 10Base-T、100Base-TX 协议标准。支持自动协商和 Auto-MDIX，提供在 CAT5 网线和 CAT6 网线上传输所需的必要功能。内置 50Ω 阻抗匹配电阻，外围电路精简。

以太网控制器支持 IPv4/IPv6 封包校验，支持 IPv4 TCP/UDP/HEAD 和 IPv6 TCP/UDP 封包校验的

生成和检查。支持符合 IEEE 802.3x 标准的流量控制和半双工冲突压力回退流量控制。支持符合 IEEE 802.3Q 标准的 VLAN 标记。支持魔术包唤醒，在休眠模式下可选网络低功耗，具有自动电源管理功能，可以节省在空载或者轻载下的功耗，支持 10Base-T 节能模式。

### 3.4 LED 指示灯和 GPIO

CH397 提供了两路 LED 灯控制和多个 GPIO，部分引脚分时复用于 SPI Flash 和其它通用功能扩展，可以直接连接。LED 灯功能可以由用户配置，用户配置工具中提供了相关配置选项。

### 3.5 SPI 接口

CH397 提供 SPI 接口以连接外部 SPI Flash 存储芯片。SPI Flash 中存储有自定义的 MAC 地址，MAC 过滤配置、USB 厂商 ID、产品 ID、USB 电源配置和厂商自定义字符串等信息。SPI 时钟频率不超过 50MHz，CH397F 使用 4 线 SPI 通讯。

### 3.6 SPI FLASH

CH397 具有两种用户配置加载模式，厂商预置和从 SPI Flash 加载。当 SPI Flash 不存在或者 Flash 中数据无效时，默认将使用厂商预置的配置数据。配置数据包括 MAC 配置信息含 MAC 地址、USB 配置信息等。详细参考相关手册。

### 3.7 电源供电

CH397 支持外供单一 5V 或单一 3.3V 两种电源模式，各引脚供电及建议电容值参考下表。

V5	主 AVDD33 兼 LDO 输出	其它 AVDD33	VDDIO	AVDDK	DVDDK	说明
外供 5V 3uF~10uF	0.1uF 并联 10uF 或 4.7uF	1uF	建议： 接 AVDD33 0.1~1uF 可选： 降到 2.5V 0.1~1uF	1uF	0.1~1uF	单一 5V 供电， 启用内部 LDO， 免外部 LDO 降压， 芯片内部温度高
外供 3.3V 0.1~1uF	外供 3.3V 0.1uF 并联 10uF 或 4.7uF	外供 3.3V 1uF	建议： 外供 3.3V 0.1~1uF 可选： 外供 2.5V 0.1~1uF			单一 3.3V 供电， 芯片温度低， 有利于可靠性

## 第 4 章 参数

### 4.1 绝对最大值 (临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明		最小值	最大值	单位
TA	工作时的环境温度	V5 和 AVDD33 外供 3.3V	-40	85	°C
		4.6V < V5 电压 <= 5.0V	-40	85	°C
		5.0V < V5 电压 <= 5.3V	-40	70	°C
TS	储存时的环境温度		-55	150	°C
V5	LDO 输入电源电压 (V5 引脚接电源, GND 引脚接地)		-0.4	5.5	V
VDD10	I/O 电源电压 (VDD10 引脚接电源, GND 引脚接地)		-0.4	4.0	V
AVDD33	模拟电源电压 (AVDD33 引脚接电源, GND 引脚接地)		-0.4	4.0	V
AVDDK	内核模拟电路的电源退耦端		-0.4	1.5	V
DVDDK	内核数字电路的电源退耦端		-0.4	1.5	V
VBUS	USB 信号引脚上的电压		-0.4	AVDD33+0.4	V
VETH	ETH 信号引脚上的电压		-0.4	AVDD33+0.4	V
VGPI0	其它输入或者输出引脚上的电压 (不含 XI 和 X0)		-0.4	VDD10+0.4	V
VESD	对外 I/O 引脚上的 HBM 人体模型 ESD 耐压		5K	7K	V

### 4.2 电气参数 (测试条件: TA=25°C, V5=5V 或 V5=AVDD33=3.3V, VDD10=AVDD33)

名称	参数说明		最小值	典型值	最大值	单位
V5	LDO 输入电源电压@V5	启用 LDO	4.6	5.0	5.25	V
	外供 3.3V 电压@V5	无需内部 LDO	3.2	3.3	3.45	
AVDD33	内部 LDO 输出电压@AVDD33	启用 LDO	3.2	3.3	3.45	V
	外供 3.3V 电压@AVDD33	无需内部 LDO	3.2	3.3	3.45	
VDD10	外供 3.3V (或短接 AVDD33) 或 2.5V 电压		2.3	3.3	3.5	V
ILDO	内部 AVDD33 电源调节器 LDO 对外负载能力				20	mA
ICC	工作电流	100Base-T 重度负载		75		mA
		100Base-T 空闲负载		70		mA
		10Base-T 重度负载@传统模式		80		mA
		10Base-T 重度负载@节能模式		65		mA
		10Base-T 空闲负载@节能模式		42		mA

		以太网连接断开		52		mA
		USB 连接断开		17		mA
ISLP1	支持快醒的 L1 睡眠电源电流			8	12	mA
ISLP0	L0 深度睡眠电源电流（不含 1.5K $\Omega$ 上拉） 或：自身睡眠电源电流（不接 USB 主机）			0.2	0.4	mA
VIL	低电平 输入电压	VDDIO=3.3V	0		0.8	V
		VDDIO=2.5V	0		0.7	V
VIH	高电平 输入电压	VDDIO=3.3V	1.9		VDDIO	V
		VDDIO=2.5V	1.5		VDDIO	V
VOL	低电平 输出电压	吸入 5mA 电流@VDDIO=3.3V		0.4	0.6	V
		吸入 3mA 电流@VDDIO=2.5V		0.4	0.6	V
VOH	高电平 输出电压	输出 5mA 电流@VDDIO=3.3V	VDDIO-0.6	VDDIO-0.4		V
		输出 3mA 电流@VDDIO=2.5V	VDDIO-0.6	VDDIO-0.4		V
IPU	RSTB 和 GPIO 上拉电流		20	50	80	$\mu$ A
Vlvr	电源低压复位的电压门限		2.6	2.8	3.1	V

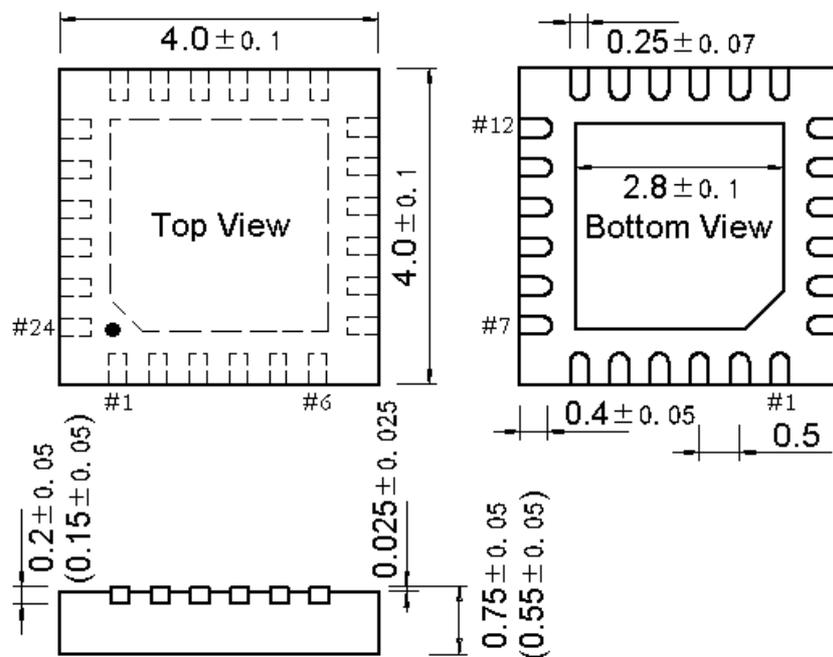
## 第 5 章 封装

说明:

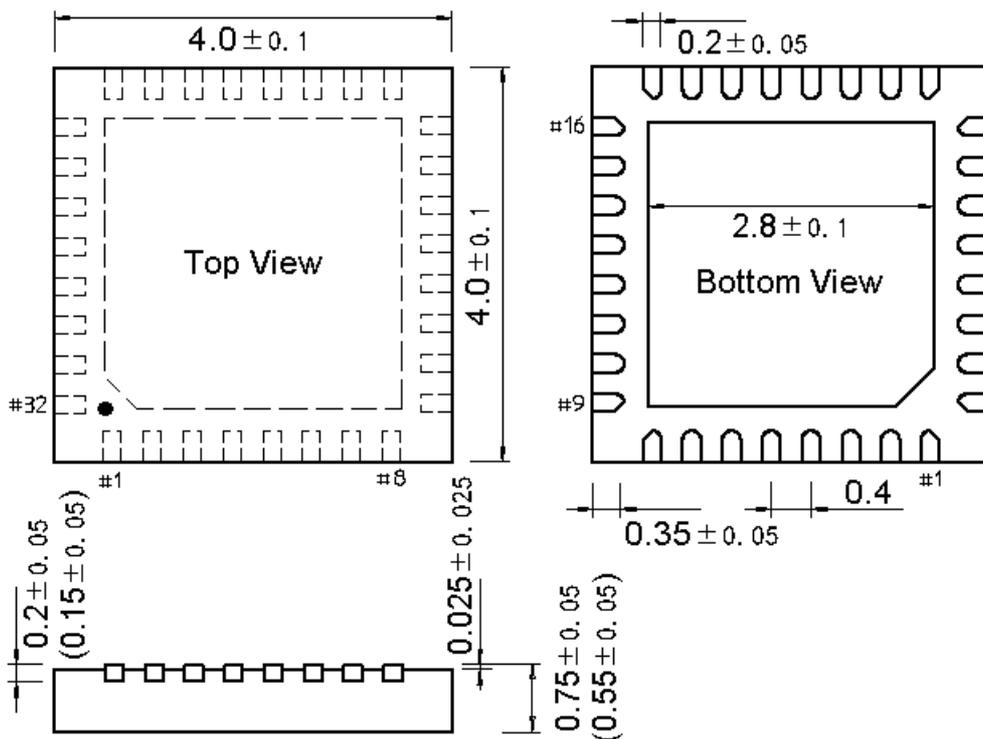
尺寸标注的单位是 mm (毫米)

引脚中心间距是标称值, 没有误差, 除此之外的尺寸误差不大于  $\pm 0.2\text{mm}$ 。

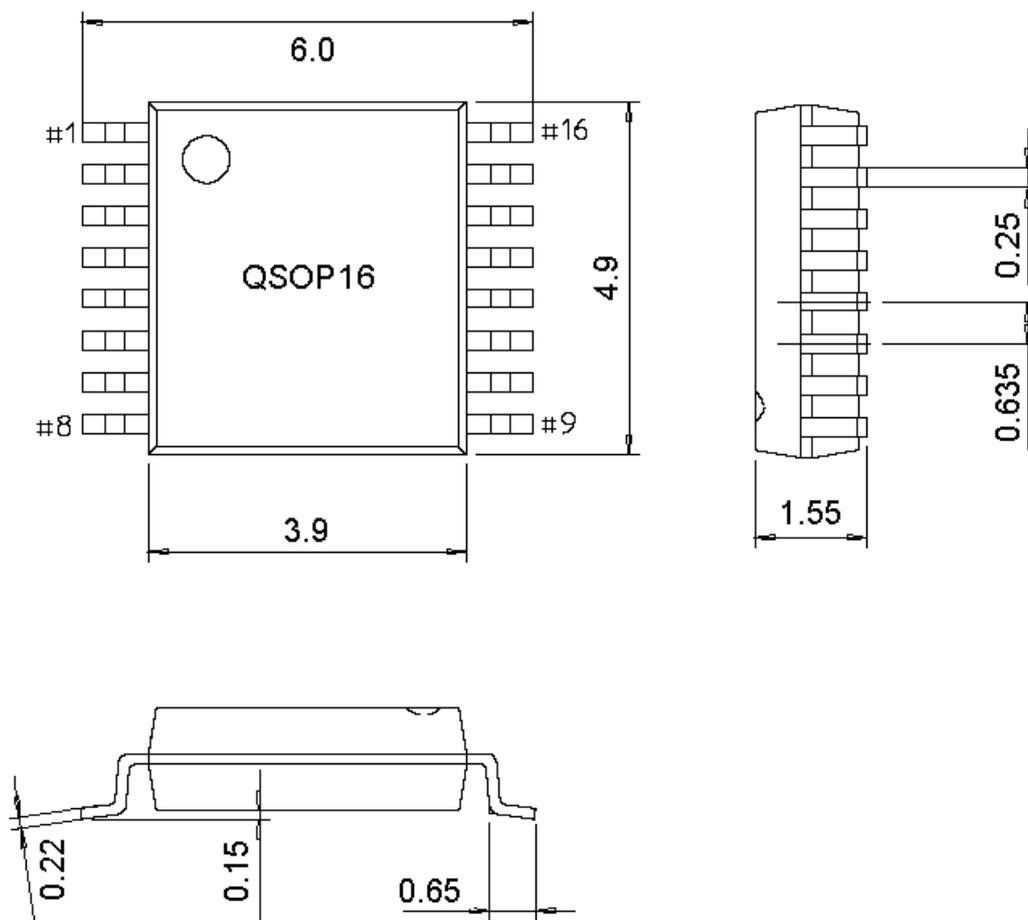
### 5.1 QFN24\_4x4



### 5.2 QFN32\_4x4

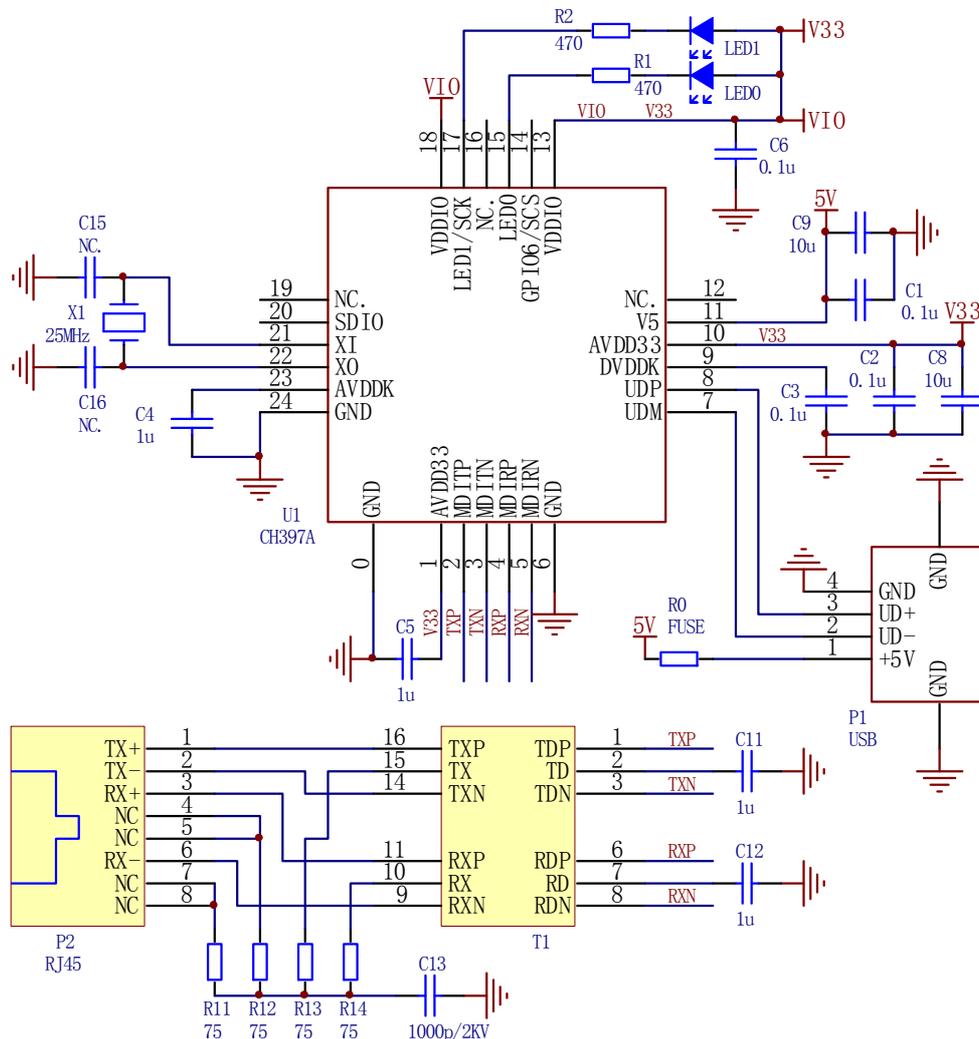


### 5.3 QSOP16



## 第 6 章 应用

### 6.1 USB 网卡适配器



R1/R2/LED0/LED1 是可选的 LED 指示。CH397A/Y/R 中已经内置 SPI Flash，对于 CH397F 则需要外置 SPI Flash。

R0 为保险电阻，简化应用时可以用  $0\Omega$  电阻。

C2+C8 为  $0.1\mu\text{F}$  和  $10\mu\text{F}$  两个 MLCC 电容并联，简化应用时可以用单个  $1\mu\text{F}$  电容。C1+C9 类似。

工业级应用建议将 V5 和 AVDD33 都接到外供的  $3.3\text{V}$  电源，使 CH397 的最大功耗从  $120\text{mA}\times 5\text{V}$  降低到  $120\text{mA}\times 3.3\text{V}$ ，有利于减小 CH397 芯片的压降和温升。

VDDIO 支持  $3.3\text{V}$  和  $2.5\text{V}$ ，根据需要选择，VDDIO 应该与 AVDD33 同时上电和下电，本应用中直接连接内部 LDO 输出的  $3.3\text{V}$ 。

如果有同名的电源引脚，那么之间建议短接，几个 AVDD33 之间短接。

CH397 已内置了晶体 X1 的部分振荡电容，C15 和 C16 可以根据晶体参数调节。对于负载电容为  $12\text{pF}$  的 X1，无需 C15 和 C16；对于负载电容为  $20\text{pF}$  的 X1，C15 和 C16 建议各  $15\text{pF}$ 。

T1 是 ethernet 网络变压器，其中心抽头分别通过电容 C11/C12 接地，不要接任何电源。

CH397 已内置以太网 50  $\Omega$  阻抗匹配电阻，外部不要再接 49.9  $\Omega$  或 50  $\Omega$  电阻，等效于电压驱动。

CH397 支持免网络变压器、电容隔离的以太网应用，效果略差于网络变压器，参考应用电路图。

设计 PCB 时需考虑实际工作电流承载能力，5V、AVDD33 引脚的 V33 和 P1 及各端口 GND 走线路径的 PCB 尽可能宽，如有过孔则建议多个并联。

建议 5V 加过压保护器件，建议 USB 信号加 ESD 保护器件，例如 CH412K，其 VCC 应接 V33。

## 6.2 板载 USB 转以太网

如果有板载 3.3V 电源，那么建议将 V5 和 AVDD33 都接 3.3V 电源，VDDIO 根据应用选择电源。