

## 概述

CH564 是一款基于青稞 RISC-V 内核设计的工业级微控制器。CH564 内置 USBHS PHY 和 PD PHY，支持 USB Host 主机和 USB Device 设备功能、PDUSB 及 Type-C 快充功能；内置以太网控制器 MAC 和 10 兆/100 兆物理层收发器；提供了外部总线接口 XBUS、8 位被动并口 SLV、12 位模数转换 ADC、多组定时器等、4 组 UART 串口、I2C 接口、2 个 SPI 接口等丰富外设资源。

## 产品特性

- **内核 Core:**
  - 青稞 32 位 RISC-V4J 内核
  - 支持 RV32IMAC 指令集和自扩展指令
  - 快速可编程中断控制器+硬件中断堆栈
  - 分支预测、冲突处理机制
  - 单周期乘法、硬件除法
- **存储器:**
  - 64/96/128KB 可配易失数据存储区 SRAM
  - 192KB 用户程序存储区 CodeFlash (80/48/16KB 可配零等待区+非零等待区)
  - 32KB 系统引导程序存储区 BootLoader
  - 32KB 用户非易失数据存储区 DataFlash
  - 256B 用户自定义信息存储区
  - 16KB 指令缓存 ICache
- **电源管理和低功耗:**
  - $V_{DD33}$  单一供电额定电压: 3.3V
  - 或  $V_5$  单一供电额定电压: 5V
  - GPIO 独立供电  $V_{DDIO}$  额定电压: 3.3V
  - 低功耗模式: 睡眠模式和深度睡眠模式
- **系统时钟和复位:**
  - 内置出厂调校的 20MHz 的 RC 振荡器
  - 内置 PLL, 可选 CPU 时钟高达 120MHz
  - 支持外部 20/24/25/30/32MHz 晶体
  - 上电/下电复位
- **12 位模数转换 ADC:**
  - 模拟输入范围:  $GND \sim V_{DDIO}$
  - 7 路外部信号通道+2 路内部信号通道
  - 支持 DMA 功能
- **多组定时器和脉宽调制 PWM:**
  - 4 组 28 位定时器, 均支持 PWM 和捕获功能
  - TIM0/1/2 支持 DMA 功能
  - TIM3 支持外部输入时钟的计数器功能
- TIM0/1 支持串行编解码器模式
- 系统时基定时器: 64 位计数器
- **4 组 UART 串口:**
  - 兼容 16C550, 通讯波特率高达 12Mbps
  - 均支持全双工和半双工串口
  - 均支持硬件流控制信号, 支持 DMA 功能
  - 均内置 16 字节 FIFO, 支持 4 个 FIFO 触发级
  - UART0 支持 MODEM, 可转成 RS232 电平
- **1 个 I2C 接口: 支持 SMBus**
- **2 个 SPI 接口:**
  - SPI0 支持主机和设备模式, 支持 DMA 功能
  - SPI1 只支持主机模式
- **1 个 8 位被动并口 SLV**
- **1 个外部总线接口 XBUS**
- **以太网控制器 MAC 及 10M/100M PHY:**
  - MAC 和 PHY 全集成, 外围只需要电容
  - 10M/100Mbps 自动协商, 支持全双工和半双工
  - 支持多种 MAC 地址过滤模式
  - 支持流量控制和远程唤醒
  - 提供 MAC 专享 DMA
- **USB 2.0 高速控制器及 PHY:**
  - 支持高/全速的 Host 主机或 Device 设备模式
  - 支持 1024 字节数据包, 内置 FIFO, 支持 DMA
- **USB PD 和 Type-C 控制器及 PHY:**
  - 支持 DRP、Sink 和 Source 应用、PDUSB 和 DMA
- **快速 GPIO 端口:**
  - 3 组 GPIO 端口, 77 个 I/O 口, 部分耐受 5V
- **安全特性: 芯片唯一 ID**
- **调试模式:**
  - 支持单线 (默认) 和双线两种调试模式
- **封装形式: LQFP、QFN**

芯片型号	闪存	RAM	通用 I/O	定时器	PWM	捕捉	ADC	PDUSB			以太网 MAC+ PHY	被动并口 SLV	外部总线 XBUS	串口	I2C	SPI	封装形式
								USB 主机	USB 设备	Type-C Source Sink DRP							
CH564L	192K	64/96/128K	77	4	4	4	7+2	1	1	CC1, CC2	√	1	1	4	1	2	LQFP128
CH564Q	192K	64/96/128K	30	4	4	4	6+2	1	1	CC1, CC2	√	1	-	4	1	2	LQFP64M
CH564D	192K	64/96/128K	16	4	1	1	3+2	-	-	CC2	√	1	-	3	1	1	QFN26C3
CH564C	192K	64/96/128K	17	4	2	2	4+2	1	1	CC1, CC2	-	1	-	4	1	2	QFN26C3

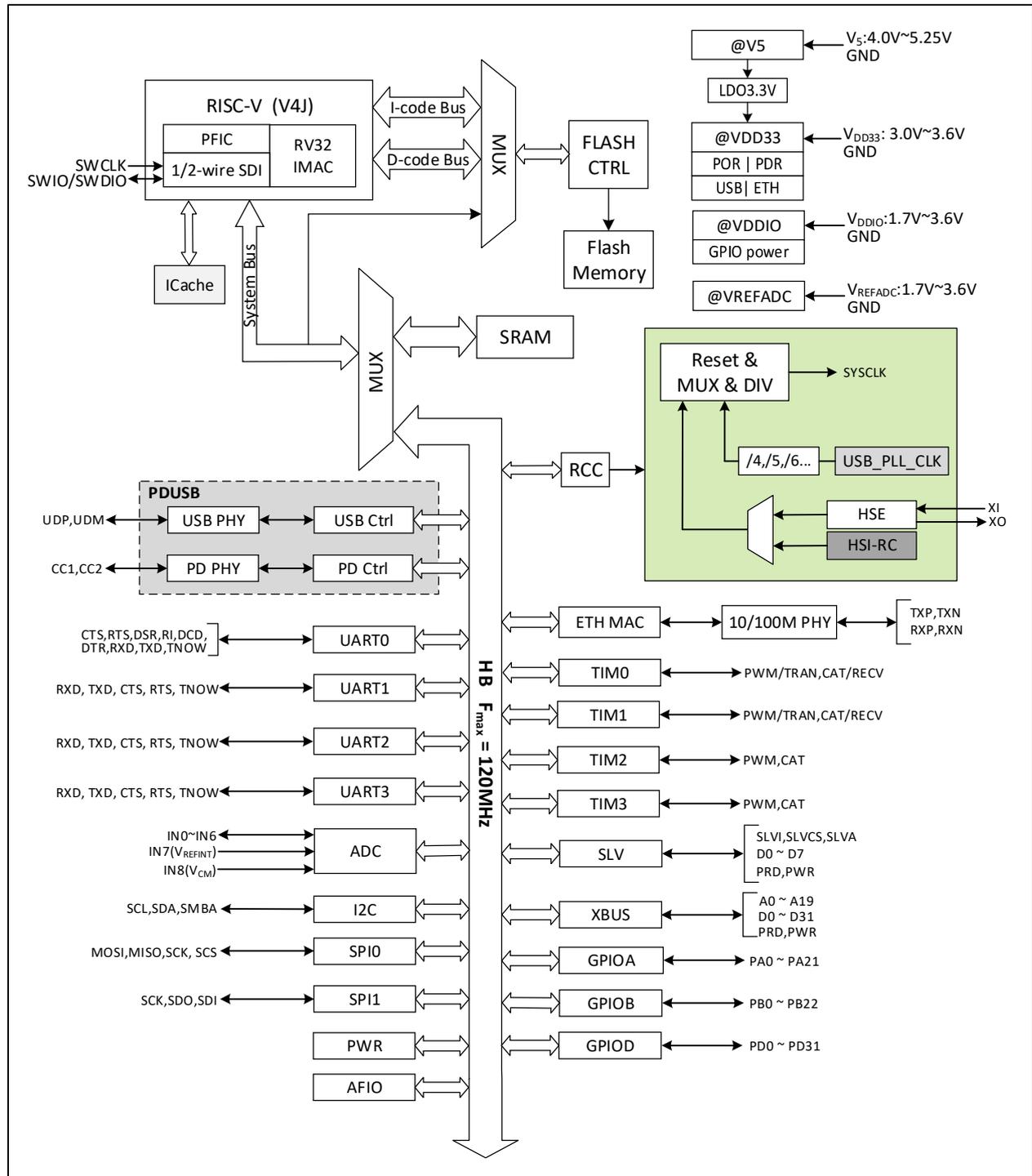
注：CH564 芯片支持用户选择字配置为 (16K ROM + 128K RAM)、(48K ROM + 96K RAM) 和 (80K ROM + 64K RAM) 几种组合的任意一种。对于 CH564，ROM 表示的是零等待运行区域  $R_{WAIT}$ ，而非零等待区域为  $192K - R_{WAIT}$ 。

## 第 1 章 规格信息

### 1.1 系统架构

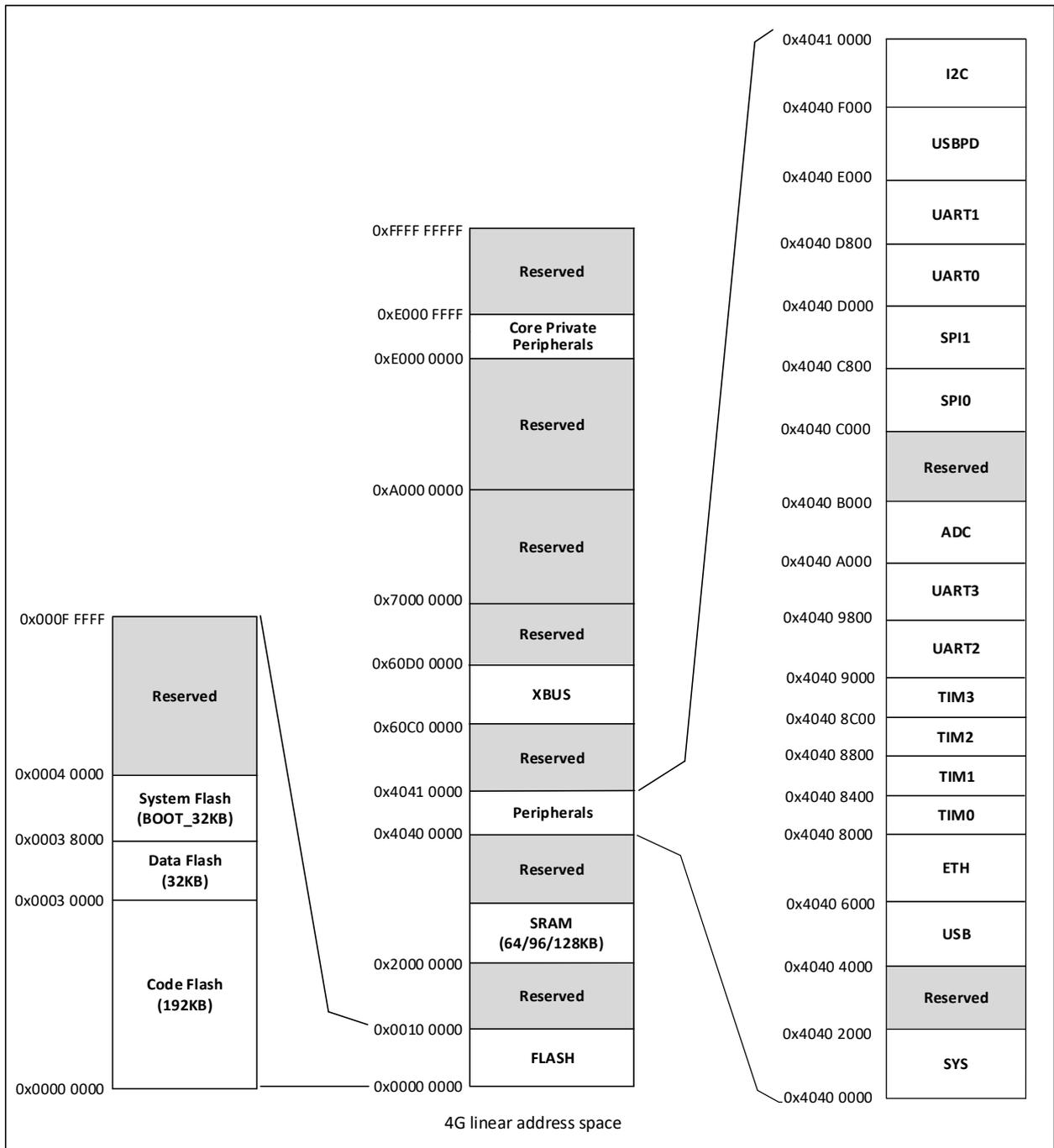
微控制器基于 RISC-V 指令集设计，其架构中将青稞微处理器内核、仲裁单元、DMA 模块、SRAM 存储等部件通过多组总线实现交互。集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是 CH564 内部总体架构框图。

图 1-1 系统框图



## 1.2 存储器映射表

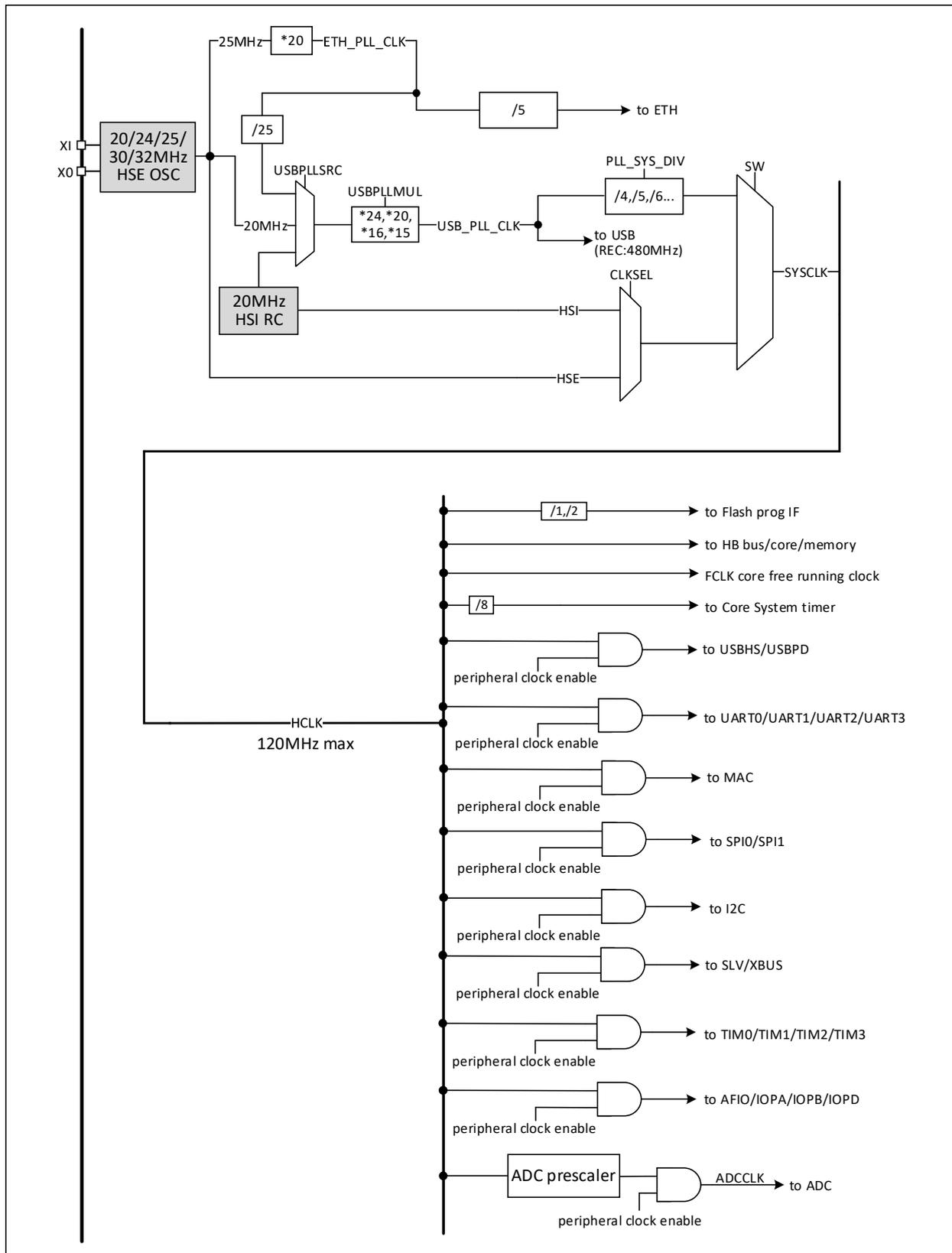
图 1-2 存储器地址映射



### 1.3 时钟树

系统中引入 2 组时钟源：内部高频 RC 振荡器（HSI）和外部高频振荡器（HSE）。其中，两个高频时钟源直接或间接通过 PLL 分频后输出为系统总线时钟（SYSCLK），系统时钟再由各预分频器提供了 HB 域外设控制时钟及采样或接口输出时钟，部分模块工作需要由 PLL 时钟直接提供。

图 1-3 时钟树框图



## 1.4 功能概述

### 1.4.1 青稞 RISC-V4J 处理器

RISC-V4J 支持 RISC-V 指令集 IMAC 子集。处理器内部以模块化管理，包含快速可编程中断控制器 PFIC、内存保护、分支预测模式、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景、高性能应用操作系统场景等。

- 支持机器和用户特权模式
- 快速可编程中断控制器 (PFIC)
- 多级硬件中断堆栈
- 支持串行单/双线调试接口
- 标准内存保护设计
- 静态或动态分支预测、高效跳转、冲突检测机制
- 自定义扩展指令

### 1.4.2 片上存储器

内置可配 64K/96K/128K 字节易失数据存储区 (SRAM)，用于存放数据，掉电后数据丢失。

内置 192K 字节程序闪存存储区 (Code FLASH)，即用户区，用于用户的应用程序和常量数据存储。其中包括 80K/48K/16K 字节零等待程序运行区域和非零等待程序运行区域。

内置 32K 字节系统存储区 (System FLASH)，即 BOOT 区，用于系统引导程序存储，内置自举加载程序。

内置 32K 字节用户非易失数据存储区 (Data FLASH)。

内置 256 字节用户自定义信息存储区，用于用户选择字存储。

内置 16K 字节指令缓存 (ICache)。

### 1.4.3 供电方案

- $V_5$ 、 $V_{DD33}$ ：

(1) 单一 3.3V 供电， $V_5$  与  $V_{DD33}$  短接或者  $V_5$  浮空，外部为  $V_{DD33}$  供电 3~3.6V，为 USB 模块和以太网模块供电。 $V_{DD33}$  需外接 10uF 并联 0.1uF 的退耦电容。

(2) 单一 5V 供电，外部为  $V_5$  供电 4~5.25V，由内部 3.3V 调压器在  $V_{DD33}$  引脚产生 3.3V，为 USB 模块和以太网模块供电。 $V_5$  需外接 1uF 容量的退耦电容、 $V_{DD33}$  需外接 10uF 并联 0.1uF 的退耦电容。

- $V_{DD10} = 1.7\sim 3.6V$ ：为通用 I/O 引脚供电，需外接 0.1uF 容量的退耦电容。

- $V_{REFADC} = 1.7\sim 3.6V$ ：为芯片内部的 ADC 模块提供参考电压，需要外接 0.1uF 容量的退耦电容。

$V_{REFADC}$  不能高于  $V_{DD33}$ ，建议  $V_{REFADC}$  不高于  $V_{DD10}$ ，部分封装形式中该引脚已在内部短接  $V_{DD10}$ 。

- $AV_{DDK}$ ：内部 1.2V 调压器在  $AV_{DDK}$  引脚输出，为内核模拟电路供电，需要外接 1uF 容量的退耦电容。

- $DV_{DDK}$ ：内部 1.2V 调压器在  $DV_{DDK}$  引脚输出，为内核数字电路供电，需要外接 0.1uF 容量的退耦电容。

注：芯片 CH564D 和 CH564C 没有  $AV_{DDK}$  和  $DV_{DDK}$  引脚，只有  $V_{DDK}$  引脚，内部调压器在  $V_{DDK}$  引脚输出，为内核电路供电，需要外接 1uF 容量的退耦电容。

### 1.4.4 复位控制

芯片提供了 2 种复位形式：电源复位和系统复位

电源复位产生条件包括：上电和掉电复位。芯片内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统在供电超过 3V 时工作；当  $V_{DD33}$  低于设定的阈值 ( $V_{POR/PDR}$ ) 时，置器件于复位状态，而不必使用外部复位电路。

系统复位产生条件包括：外部复位、看门狗复位、软件复位、SPI0 和 SLV 命令字复位、内核死锁复位等。

外部复位：由外加于 RST#引脚的低电平产生。当复位低电平持续时间大于最小复位脉冲宽度(Trst)时即触发 CH564 芯片进行复位。

看门狗复位：看门狗定时器溢出时将产生内部复位脉冲进行复位。看门狗周期约为  $2^{23}=8388608$  个主时钟周期，对于 100MHz 主频约为 84ms。清零 R8\_WDOG\_CLEAR 可以复位看门狗定时器。

软件复位：在某些特定情况下，不需要外部干预进行软件复位。设置全局复位配置寄存器(R8\_GLOB\_RST\_CFG)的位 RB\_GLOB\_FORCE\_RST 为 1，即可实现软件复位。该位会自动清 0。

SPI0 和 SLV 命令字复位：SPI0 模块和 SLV 模块支持命令复位功能，收到指定命令之后产生全局复位信号。

内核死锁复位：当 PFIC\_SCTLR 寄存器的 LOCKUP 位为 0 时，内核死锁使能，内核执行异常会进入死锁。当 EXTEN\_CTLR0 寄存器的 CORE\_HALT\_INT\_EN 位置 1 使能内核错误中断，产生复位功能。

#### 1.4.5 系统电压调节器

复位后，系统电压调节器自动开启，根据应用方式有两种操作模式。

- 开启模式：正常的运行操作，提供稳定的内核电源。
- 低功耗模式：当 CPU 进入深度睡眠模式，调节器低功耗运行。

#### 1.4.6 低功耗模式

系统支持 2 种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式 (SLEEP)

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件，包括 53 个外部中断 I/O 口 (PA8~PA21、PB0~PB22、PD0~PD7、PD24~PD31)、USB 的唤醒信号、USB PD 唤醒信号、以太网的唤醒信号等。

- 深度睡眠模式 (DEEP SLEEP)

在深度睡眠模式下，PLL 被关闭，可配置 LDO 进入 LOWPOWER 模式，SRAM 和寄存器内容保持，I/O 引脚状态保持。该模式唤醒后系统可以继续运行。

在深度睡眠期间，系统时钟分频电路和以太网时钟分频电路会复位，在唤醒源响应之后自动解复位、PLL 立刻使能。

退出条件：部分唤醒事件（不包括以太网的唤醒信号），包括 53 个 I/O 口边沿信号 (PA8~PA21、PB0~PB22、PD0~PD7、PD24~PD31)、USB 的唤醒信号、USB PD 唤醒信号等。

#### 1.4.7 快速可编程中断控制器 (PFIC)

芯片内置快速可编程中断控制器 (PFIC)，最多支持 256 个中断向量，以最小的中断延迟提供了灵活的中断管理功能。当前芯片管理了 7 个内核私有中断和 24 个外设中断管理，其他中断源保留。PFIC 的寄存器均可以在用户和机器特权模式下访问。

- 2 个可单独屏蔽中断
- 支持硬件中断堆栈 (HPE)，无需指令开销
- 提供 4 路免表中断 (VTF)，更快进入中断服务程序
- 向量表支持地址或指令模式
- 中断嵌套深度可配置最高 2 级
- 支持中断尾部链接功能

#### 1.4.8 时钟和启动

系统时钟源 HSI 默认开启, 在没有配置时钟或者复位后, USBPLL 的分频时钟作为默认的 CPU 时钟, 随后可以另外选择 HSI 或外部 20/24/25/30/32MHz 时钟。

#### 1.4.9 定时器

##### ● 通用定时器 TIMx

芯片内置 4 个 28 位定时器: TIM0、TIM1、TIM2 和 TIM3, 主要特性包括:

- 每个定时器定时时间最大为  $2^{28}$  个时钟周期
- 均支持 PWM 功能, 支持动态调整 PWM 占空比设置
- 均支持捕获功能, 捕获功能可设置为电平变化捕获功能和高或低电平保持时间捕获功能
- TIM0/1/2 支持 DMA 功能
- TIM0/1 支持串行编解码模式, 并提供接收 (RECV) 和发送 (TRAN) 引脚。
- TIM3 支持外部输入时钟的计数器功能

##### ● 系统时基定时器

青稞微处理器内核自带了一个 64 位可选递增或递减的计数器, 用于产生 SYSTICK 异常 (异常号: 12), 可专用于实时操作系统, 为系统提供“心跳”节律, 也可当成一个标准的 64 位计数器。具有自动重加载功能及可编程的时钟源。

#### 1.4.10 ADC (模拟/数字转换器)

芯片内置 12 位逐次逼近型模拟/数字转换器 (ADC), 提供多达 7 个外部通道和 2 个内部通道, 每个通道转换具有 DMA 功能。该 ADC 内部通道分别是 ADC\_IN7 和 ADC\_IN8。其中, 内部参考电压  $V_{REFINT}$  被连接到 IN7 输入通道上; 校准电压  $V_{CM}$  被连接到 IN8 输入通道上。主要特性包括:

- 支持 12 位分辨率
- 7 个外部通道+2 个内部通道, 其中包括兼容 CH563 的原有通道, 所有通道均支持 DMA 功能
- ADC 通道输入范围:  $GND \leq V_{ADCIN} \leq V_{DDIO}$
- ADC 通道 0 和 1, 可设置为自动交替转换模式
- 采样脉冲宽度可选为 1 个时钟周期或 2 个时钟周期
- 可选自动采样模式或手动采样模式
- 支持设定参考值在到达后触发中断
- 支持 ADC 采样校准时间 (SMPT) 配置

#### 1.4.11 通用异步收发器 (UART)

芯片提供了 4 组通用异步收发器。支持全双工异步串口通信, 提供发送状态引脚用于切换 RS485。主要特性包括:

- 均兼容 16C550 异步串口并且有所增强
- 均支持 5、6、7 或者 8 个数据位以及 1 或者 2 个停止位
- 均支持奇、偶、无校验、空白 0、标志 1 等校验方式
- 均可编程通讯波特率, 支持 115200bps 以及最高达 12Mbps 的通讯波特率
- 均内置 16 个字节的 FIFO 先进先出缓冲器, 支持 4 个 FIFO 触发级
- 均支持硬件流控制信号 CTS 和 RTS 自动握手和自动传输速率控制, 兼容 TL16C550C
- 均支持串口帧错误检测、支持 Break 线路间隔检测
- 均支持全双工串口通讯, 提供发送状态引脚 (TNOW) 用于切换 RS485
- 均支持 DMA 功能
- UART0 支持 MODEM 调制解调器信号 CTS、DSR、RI、DCD、DTR、RTS, 可转成 RS232 电平

#### 1.4.12 串行外设接口 (SPI)

SPI 是一种串行外设接口，可处理多个连接到指定总线上的主机和从机。在数据过程中，总线上只能有一个主机和一个从机通信。在数据传输中，主机总是会发送一帧 8 位数据，而从机也总会向主机发送一帧字节数据。芯片提供了 2 个 SPI 接口，其主要特性包括：

- 均支持模式 0 和模式 3 数据传输方式
- 均支持 8 位数据传输方式
- SPI0 的时钟频率最高可达 50MHz，SPI1 的时钟频率最高可达 40MHz
- SPI0 支持主机和设备模式，其中设备模式支持首字节为命令模式和数据流模式
- SPI1 只支持主机模式
- SPI0 支持 32 级 FIFO；SPI1 支持 16 级 FIFO
- SPI0 兼容串行外设接口 (SPI) 规范
- SPI0 支持 DMA 功能
- 设置 BUSY 位，当 SPI0 模块收到命令时寄存器拉高，写 0 清 0，同时通过引脚 PB3/BUSY 或 PB18/BUSY\_1 输出 busy 信号。

#### 1.4.13 I2C 总线

芯片提供 1 个 I2C 总线接口，能够工作于多主机模式或从模式，完成所有 I2C 总线特定的时序、协议、仲裁等。支持标准和快速两种通讯速度，同时与 SMBus2.0 兼容。

I2C 接口提供 7 位或 10 位寻址，并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版。

#### 1.4.14 被动并口 (SLV)

芯片提供一个 8 位被动并口 (SLV)，方便与外部系统进行数据通信。该被动并口包括中断输出引脚 (SLVI)、命令数据选择输入引脚 (SLVA)、片选输入引脚 (SLVCS)、读信号输入引脚 (PRD)、写信号输入引脚 (PWR) 和 8 位输入输出数据引脚 (D0~D7)。主要特性包括：

- 8 位数据接口
- 独立的数据输入输出寄存器
- 多种中断状态及中断控制
- 支持命令输入和数据输入
- 支持状态输出及数据输出
- 支持 DMA 功能
- 设置 BUSY 位，当 SLV 模块收到命令时寄存器拉高，写 0 清 0，同时通过 PB3/BUSY 或 PB18/BUSY\_1 输出 busy 信号。

#### 1.4.15 外部总线接口 (XBUS)

芯片内置 1 个外部总线控制器 (XBUS)。该总线接口包括：读信号引脚 (PRD)、写信号引脚 (PWR)、20 位地址引脚 (A0~A19) 和 32 位数据引脚 (D0~D31)。当未采用总线接口时，其上述引脚可以作为普通 I/O 口使用。该接口支持静态存储器映射器件，包括 RAM、ROM、Flash 和一些外部 I/O 器件，可动态修改读写信号脉宽以及地址和数据的建立和保持时间。其主要特性包括：

- 支持 8 位、16 位以及 32 位总线宽度，读写宽度可调
- 支持最多 20 位地址总线宽度
- 支持静态存储器映射器件，包括 RAM、Flash 和一些外部 I/O 器件
- 支持动态修改读写信号脉宽、地址和数据的建立和保持时间等

#### 1.4.16 通用串行总线 USB2.0 高速主机/设备控制器 (USBHS)

USB 2.0 高速控制器具有主机控制器和设备控制器双重角色，内置 480Mbps 的 USB-PHY 物理层收

发器。当作为主机控制器时，它可支持低速、全速和高速的 USB 设备。当作为设备控制器时，可以灵活设置为低速、全速或高速模式以适应各种应用。主要特性包括：

- 兼容 USB 2.0、USB 1.1、USB 1.0 协议规范
- 支持最大 1024 字节数据包，内置 FIFO，支持中断和 DMA
- 支持控制传输、批量传输、中断传输、实时/同步传输
- 提供总线复位、挂起、唤醒和恢复功能
- 支持 DMA

#### 1.4.17 USB PD 及 Type-C 控制器 (USB PD)

内置 1 组 USB Power Delivery 控制器和 PD 收发器 PHY，支持 USB Type-C 主从检测，自动 BMC 编解码和 CRC，硬件边沿控制，支持 USB PD2.0 和 PD3.0 电力传输控制，支持快充，支持 UFP/PD 受电端 Sink 和 DFP/PD 供电端 Source 应用以及 DRP 应用，支持 PDUSB，支持 DMA。

#### 1.4.18 以太网控制器 (MAC+10M/100M PHY)

产品提供了符合 IEEE 802.3-2002 标准的以太网控制器 (MAC)，充当数据链路层的角色，还内置了 10Mbps 和 100Mbps 的以太网 PHY 物理层收发器，支持速度自适应，单芯片实现以太网通讯。应用时，结合 TCP/IP 协议栈接口实现网络产品的开发。主要特性包括：

- 符合 IEEE 802.3 协议规范及设计
- 支持 IEEE 802.3x 的流量控制
- 已内置 10Mbps 和 100Mbps 的物理层 PHY，简化外围电路
- 支持全双工、半双工和回环模式，支持 10/100 的数据传输速率
- 硬件自动完成 IPv4 和 IPv6 包完整性校验，IP/ICMP/UDP/TCP 包校验和填充
- 多种 MAC 地址过滤模式
- 支持最多 5 种网络状态 LED
- LAN 唤醒 (Wake-on-LAN) 功能，支持三种唤醒事件：唤醒帧、链路状态变化和魔法包事件
- 支持自动协商机制
- 支持 MDI/MDIX 线路自动转换 (Auto-MDIX) 和极性翻转
- 提供 MAC 专享 DMA，最大程度的减小 CPU 操作
- 内置 MMC 模块，支持手动复位、停止或冻结；支持多种中断
- 内置 PTP (Precision Time Protocol) 模块，支持 IEEE 1588 协议
- 兼容 100BASE-TX 和 10BASE-T

#### 1.4.19 通用输入输出接口 (GPIO)

系统提供了 3 组 GPIO 端口：PA0~PA21、PB0~PB22 和 PD0~PD31，共 77 个 GPIO 引脚，可以由软件配置成推挽输出、输入 (带或不带上拉或下拉) 或复用的外设功能端口。

GPIOA 和 GPIOB 支持开漏输出，GPIOD 不支持开漏输出

所有 GPIO 引脚支持可控上拉和下拉电阻。其中，当引脚 PB11/SWDIO 用作调试引脚时，默认开启上拉电阻并关闭下拉电阻；当 PD20/RST\_1、PA14/RST\_2 和 PD5/RST\_3 用作复位引脚时，默认开启上拉电阻并关闭下拉电阻；引脚 PB18/CC1 和 PB19/CC2 提供了 Type-C 规范定义的上拉电流，同时还设计了 Type-C 规范定义的可控 Rd 下拉电阻，但默认未连接，需要可定制。

所有 GPIO 引脚都与数字或模拟的复用外设共用，部分引脚耐受 5V 信号输入，具体引脚请参考引脚描述。USB 引脚和以太网引脚电源由  $V_{DD33}$  提供。IO 引脚电源由  $V_{DD10}$  提供，通过改变  $V_{DD10}$  的供电将改变 IO 引脚输出电平高值来适配外部通讯接口电平。

所有 GPIO 引脚都有较大电流驱动能力。

GPIO 引脚中，PA8~PA21、PB0~PB22、PD0~PD7 和 PD24~PD31 具有中断功能，且这 53 个外部中断 I/O 口都可选择连接到 3 个外部中断线中对应的中断线上，实现睡眠唤醒。每个中断线都可以独立

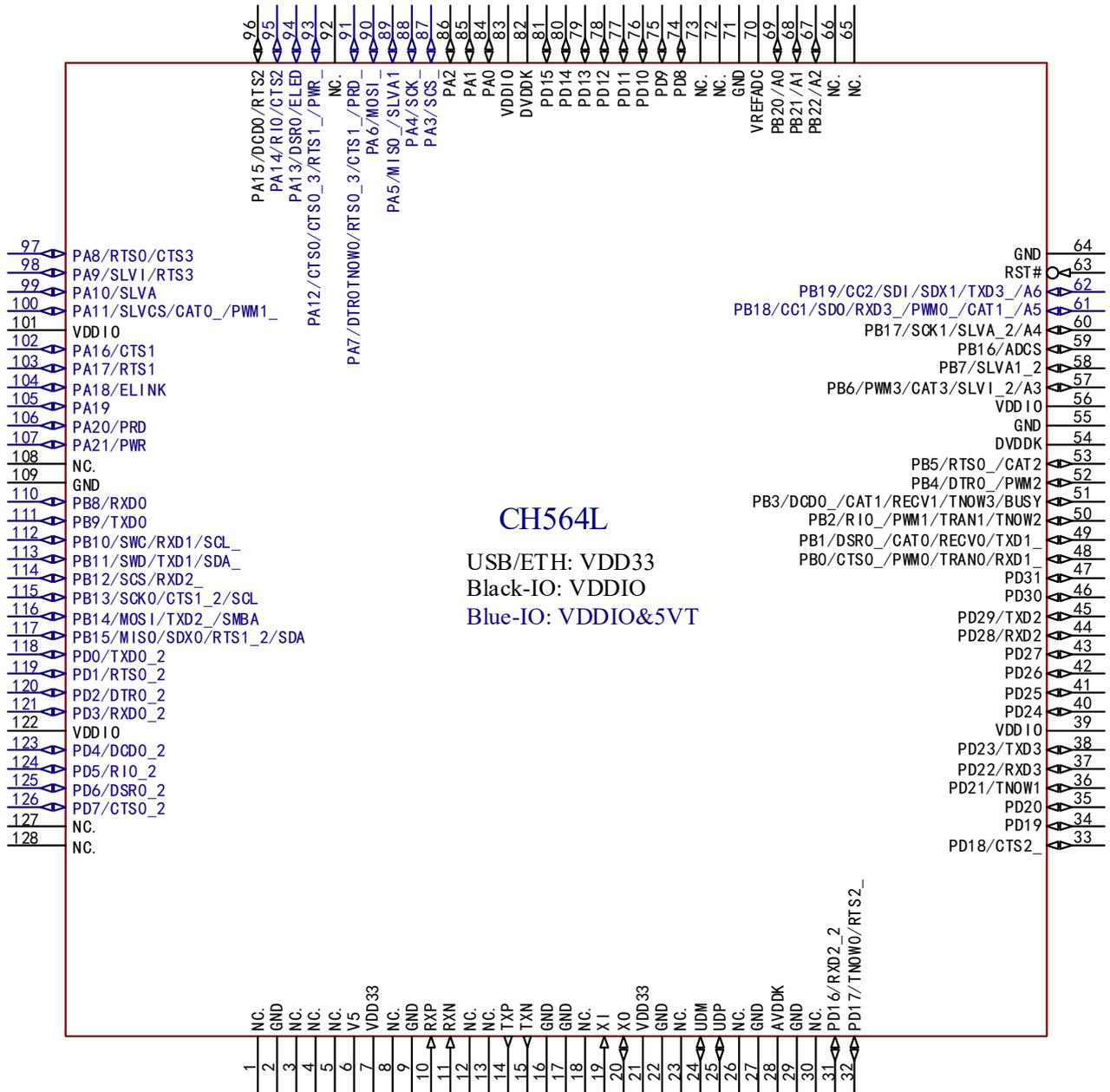
地配置其触发事件（高电平、低电平、上升沿、下降沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。

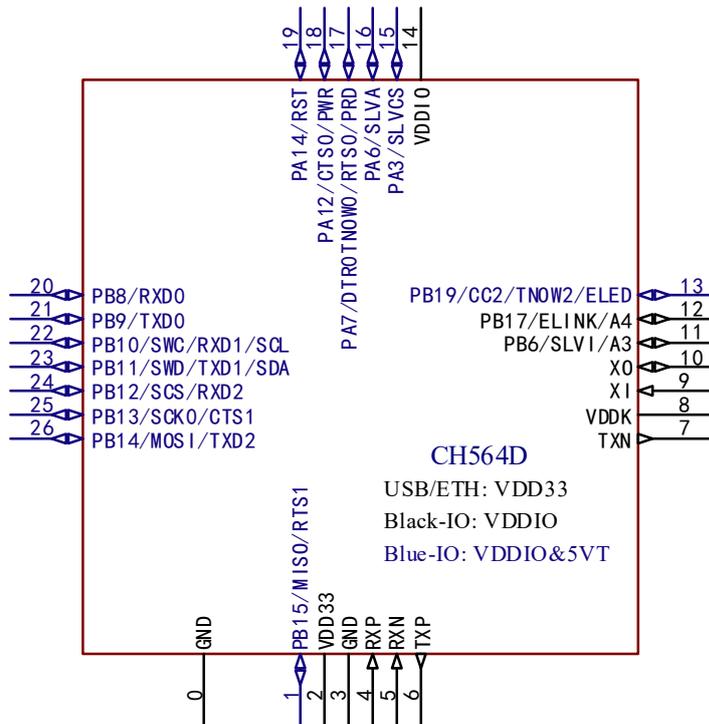
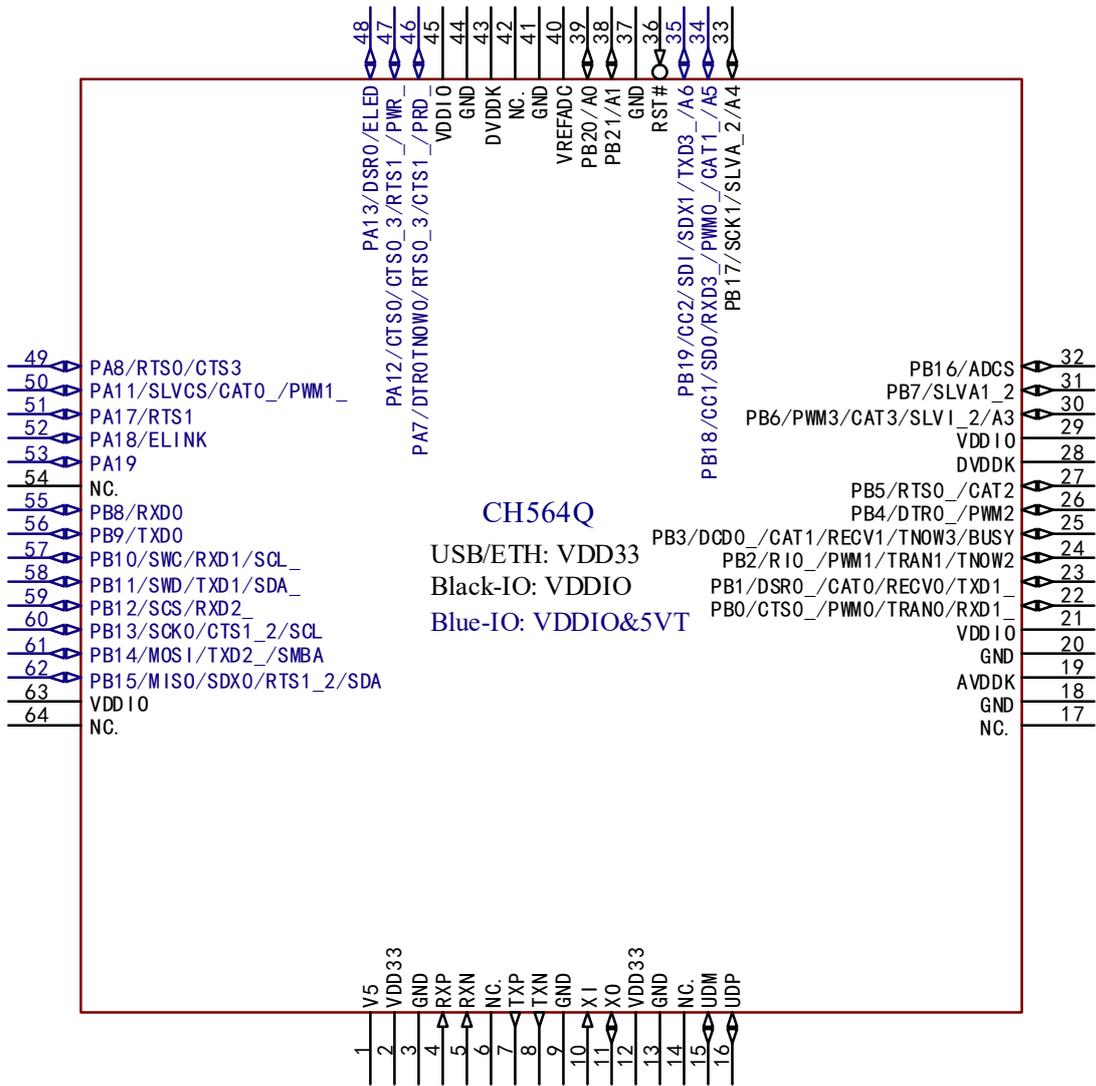
#### 1.4.20 调试接口（SDI Serial Debug Interface）

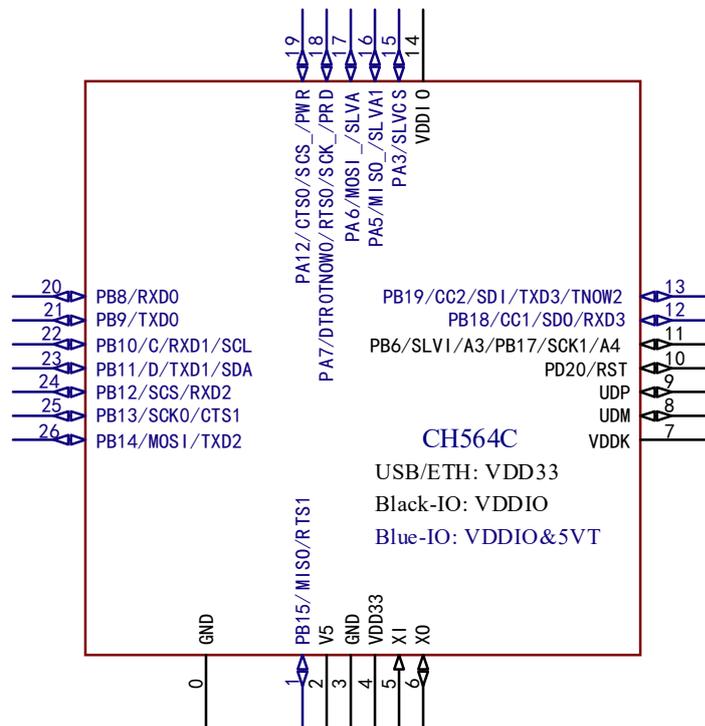
内核自带一个串行单线调试接口（1-wire SDI Serial Debug Interface）和一个串行2线调试接口（2-wire SDI Serial Debug Interface）。系统支持单双线两种调试模式；其中，单线调试为默认调试模式，对应 SWIO 引脚，而双线调试对应 SWDIO 和 SWCLK 引脚。系统上电或复位后默认调试接口引脚功能开启，主程序运行后可以根据需要关闭调试引脚复用功能。在使用单线仿真调试接口时必须开启 HSI 时钟。

## 第 2 章 引脚信息

### 2.1 引脚排列







注：引脚图中复用功能均为缩写。

示例：

ADC\_(A0:ADC\_IN0)

UART0\_(CTS0:UART0\_CTS、DSR0:UART0\_DSR、RIO:UART0\_R1、DCDO:UART0\_DCD、RXDO:UART0\_RXD、DTR0:UART0\_DTR、RTS0:UART0\_RTS、TXDO:UART0\_TXD、TNOW0:UART0\_TNOW)

UART1\_(RXD1:UART1\_RXD、TXD1:UART1\_TXD、RTS1:UART1\_RTS、TNOW1:UART1\_TNOW、CTS1:UART1\_CTS)

UART2\_(RXD2:UART2\_RXD、TXD2:UART2\_TXD、RTS2:UART2\_RTS、TNOW2:UART2\_TNOW、CTS2:UART2\_CTS)

UART3\_(RXD3:UART3\_RXD、TXD3:UART3\_TXD、RTS3:UART3\_RTS、TNOW3:UART3\_TNOW、CTS3:UART3\_CTS)

TIMO\_(CAT0:TIMO\_CAT、PWM0:TIMO\_PWM、REVO:TIMO\_REV、TRAN0:TIMO\_TRAN)

TIM1\_(CAT1:TIM1\_CAT、PWM1:TIM1\_PWM、REV1:TIM1\_REV、TRAN1:TIM1\_TRAN)

TIM2\_(CAT2:TIM2\_CAT、PWM2:TIM2\_PWM)

TIM3\_(CAT3:TIM3\_CAT、PWM3:TIM3\_PWM)

SPI0\_(SCK0:SPI0\_SCK、MOSI:SPI0\_MOSI、MISO:SPI0\_MISO、SCS:SPI0\_SCS)

SPI1\_(SCK1:SPI1\_SCK、SD0:SPI1\_SDO、SDI:SPI1\_SDI)

I2C\_(SCL:I2C\_SCL、SDA:I2C\_SDA、SMBA:I2C\_SMBA)

ELINK#:LINK\_LED

ELED#:ACT\_LED

UDP:USBDP

UDM:USBDM

SWD 或 D:SWDIO/SWIO

SWC 或 C:SWCLK

## 2.2 引脚描述

表 2-1 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及芯片具体型号。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

引脚编号				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1)</sup>	主功能(复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
CH564C	CH564D	CH564Q	CH564L						
-	-	-	1	NC.	NC.	-	-		
0	0	-	2	GND	P	-	GND		
-	-	-	3	NC.	NC.	-	-		
-	-	-	4	NC.	NC.	-	-		
-	-	-	5	NC.	NC.	-	-		
2	-	1	6	V <sub>5</sub>	P	-	V <sub>5</sub>		
-	2	2	7	V <sub>DD33</sub>	P	-	V <sub>DD33</sub>		
-	-	-	8	NC.	NC.	-	-		
3	3	3	9	GND	P	-	GND		
-	4	4	10	RXP	I	-	RXP		
-	5	5	11	RXN	I	-	RXN		
-	-	6	12	NC.	NC.	-	-		
-	-	-	13	NC.	NC.	-	-		
-	6	7	14	TXP	O	-	TXP		
-	7	8	15	TXN	O	-	TXN		
-	-	9	16	GND	P	-	GND		
-	-	-	17	GND	P	-	GND		
-	-	-	18	NC.	NC.	-	-		
5	9	10	19	XI <sup>(3)</sup>	I/O	-	XI		
6	10	11	20	XO <sup>(3)</sup>	I/O	-	XO		
4	-	12	21	V <sub>DD33</sub>	P	-	V <sub>DD33</sub>		
-	-	13	22	GND	P	-	GND		
-	-	14	23	NC.	NC.	-	-		
8	-	15	24	UDM <sup>(3)</sup>	I/O/A	-	UDM		
9	-	16	25	UDP <sup>(3)</sup>	I/O/A	-	UDP		
-	-	17	26	NC.	NC.	-	-		
-	-	18	27	GND	P	-	GND		
-	-	19	28	AV <sub>DDK</sub>	P	-	AV <sub>DDK</sub>		
-	-	20	29	GND	P	-	GND		
-	-	-	30	NC.	NC.	-	-		
-	-	-	31	PD16	I/O	-	PD16	XBUS_D16	UART2_RXD_2
-	-	-	32	PD17	I/O	-	PD17	UART0_TNOW/XBUS_D17	UART2_RTS_2
-	-	-	33	PD18	I/O	-	PD18	XBUS_D18	UART2_CTS_2
-	-	-	34	PD19	I/O	-	PD19	XBUS_D19	
10	-	-	35	PD20	I/O	-	PD20	XBUS_D20	RST_1

引脚编号				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1)</sup>	主功能(复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
CH564C	CH564D	CH564Q	CH564L						
-	-	-	36	PD21	I/O	-	PD21	XBUS_D21/UART1_TNOW	UART3_TXD_3/SPI0_SCK_3
-	-	-	37	PD22	I/O	-	PD22	UART3_RXD/XBUS_D22	UART3_RXD_3/SPI0_MOSI_3
-	-	-	38	PD23	I/O	-	PD23	XBUS_D23/UART3_TXD	UART3_RTS_3/SPI0_MISO_3
14	14	21	39	V <sub>DD10</sub>	P	-	V <sub>DD10</sub>		
-	-	-	40	PD24	I/O	-	PD24	XBUS_D24	UART3_CTS_3/SPI0_SCS_3
-	-	-	41	PD25	I/O	-	PD25	XBUS_D25	
-	-	-	42	PD26	I/O	-	PD26	XBUS_D26	
-	-	-	43	PD27	I/O	-	PD27	XBUS_D27	
-	-	-	44	PD28	I/O	-	PD28	UART2_RXD/XBUS_D28	UART3_TNOW_3
-	-	-	45	PD29	I/O	-	PD29	UART2_TXD/XBUS_D29	UART2_TXD_3/SPI1_SCK_3
-	-	-	46	PD30	I/O	-	PD30	XBUS_D30	UART2_RXD_3/SPI1_SDO_3
-	-	-	47	PD31	I/O	-	PD31	XBUS_D31	
-	-	22	48	PB0	I/O	-	PB0	TIM0_PWM/TIM0_TRAN	UART0_CTS_1/UART1_RXD_1
-	-	23	49	PB1	I/O	-	PB1	TIM0_CAT/TIM0_RECV	UART0_DSR_1/UART1_TXD_1 UART2_RTS_3/SPI1_SDI_3
-	-	24	50	PB2	I/O	-	PB2	TIM1_PWM/TIM1_TRAN/ UART2_TNOW	UART0_RI_1
-	-	25	51	PB3	I/O	-	PB3	TIM1_CAT/TIM1_RECV/ UART3_TNOW/BUSY	UART0_DCD_1/UART2_CTS_3
-	-	26	52	PB4	I/O	-	PB4	TIM2_PWM	UART0_DTR_1
-	-	27	53	PB5	I/O	-	PB5	TIM2_CAT	UART0_RTS_1
-	-	28	54	DV <sub>DDK</sub>	P	-	DV <sub>DDK</sub>		
-	-	-	55	GND	P	-	GND		
-	-	29	56	V <sub>DD10</sub>	P	-	V <sub>DD10</sub>		
11	11	30	57	PB6 <sup>(4)</sup>	I/O/A	-	PB6	ADC_IN3/TIM3_PWM/ TIM3_CAT	SLVI_2/LINK_LED_2 (ELINK_2) /ACT_LED_2 (ELED_2)
-	-	31	58	PB7	I/O	-	PB7		SLVA1_2
-	-	32	59	PB16	I/O/A	-	PB16	ADCS/SPD_LED	
11	12	33	60	PB17 <sup>(4)</sup>	I/O/A	-	PB17	ADC_IN4/SPI1_SCK	SLVA_2/LINK_LED_1 (ELINK_1) /ACT_LED_3 (ELED_3)
12	-	34	61	PB18	I/O/A	FT	PB18	ADC_IN5/SPI1_SDO/CC1/ DUP_LED	TIM0_PWM_1/TIM1_CAT_1/ UART3_RXD_1/BUSY_1/SLVA1_3
13	13	35	62	PB19	I/O/A	FT	PB19	ADC_IN6/SPI1_SDI/CC2	UART3_TXD_1/ ACT_LED_1 (ELED_1) / UART2_TNOW_3
-	-	36	63	RST#	I	-	RST	RST	
-	-	37	64	GND	P	-	GND		
-	-	-	65	NC.	NC.	-	-		
-	-	-	66	NC.	NC.	-	-		

引脚编号				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1)</sup>	主功能(复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
CH564C	CH564D	CH564Q	CH564L						
-	-	-	67	PB22	I/O/A	-	PB22	ADC_IN2/COL_LED	
-	-	38	68	PB21	I/O/A	-	PB21	ADC_IN1	
-	-	39	69	PB20	I/O/A	-	PB20	ADC_IN0	
-	-	40	70	V <sub>REFADC</sub>	P	-	V <sub>REFADC</sub>		
-	-	41	71	GND	P	-	GND		
-	-	44							
-	-	42	72	NC.	NC.	-	-		
-	-	-	73	NC.	NC.	-	-		
-	-	-	74	PD8	I/O	-	PD8	XBUS_D8	
-	-	-	75	PD9	I/O	-	PD9	XBUS_D9	
-	-	-	76	PD10	I/O	-	PD10	XBUS_D10	
-	-	-	77	PD11	I/O	-	PD11	XBUS_D11	
-	-	-	78	PD12	I/O	-	PD12	XBUS_D12	
-	-	-	79	PD13	I/O	-	PD13	XBUS_D13	
-	-	-	80	PD14	I/O	-	PD14	XBUS_D14	
-	-	-	81	PD15	I/O	-	PD15	XBUS_D15	
-	-	43	82	DV <sub>DDK</sub>	P	-	DV <sub>DDK</sub>		
-	-	45	83	V <sub>DD10</sub>	P	-	V <sub>DD10</sub>		
-	-	-	84	PA0	I/O	-	PA0	XBUS_A0	
-	-	-	85	PA1	I/O	-	PA1	XBUS_A1	
-	-	-	86	PA2	I/O	-	PA2	XBUS_A2	
15	15	-	87	PA3	I/O	FT	PA3	XBUS_A3	SPI0_SCS_1/SLVCS_1/ UART0_TXD_3
-	-	-	88	PA4	I/O	FT	PA4	XBUS_A4	SPI0_SCK_1/UART0_RXD_3
16	-	-	89	PA5	I/O	FT	PA5	XBUS_A5/SLVA1	SPI0_MISO_1/SLVA1_1
17	16	-	90	PA6	I/O	FT	PA6	XBUS_A6	SPI0_MOSI_1/SLVA_1
18	17	46	91	PA7	I/O	FT	PA7	UART0_DTR/XBUS_A7	UART0_RTS_3/UART1_CTS_1/ SLV_PRD_1
-	-	-	92	NC.	NC.	-	-		
19	18	47	93	PA12	I/O	FT	PA12	UART0_CTS/XBUS_A12	UART0_CTS_3/UART1_RTS_1/ SLV_PWR_1
-	-	48	94	PA13	I/O	FT	PA13	UART0_DSR/XBUS_A13/ ACT_LED(ELED)	SLVI_3
-	19	-	95	PA14	I/O	FT	PA14	UART0_RI/UART2_CTS/ XBUS_A14	RST_2
-	-	-	96	PA15	I/O	-	PA15	UART0_DCD/UART2_RTS/ XBUS_A15	
-	-	49	97	PA8	I/O	FT	PA8	UART0_RTS/UART3_CTS/ XBUS_A8	
-	-	-	98	PA9	I/O	FT	PA9	UART3_RTS/SLVI/	UART0_TNOW_3

引脚编号				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1)</sup>	主功能(复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
CH564C	CH564D	CH564Q	CH564L						
-	-	-	99	PA10	I/O	FT	PA10	XBUS_A9 SLVA/XBUS_A10	
-	-	50	100	PA11	I/O	FT	PA11	SLVCS/XBUS_A11	TIMO_CAT_1/TIM1_PWM_1/ UART1_TXD_3
-	-	-	101	V <sub>DD10</sub>	P	-	V <sub>DD10</sub>		
-	-	-	102	PA16	I/O	FT	PA16	UART1_CTS/XBUS_A16	
-	-	51	103	PA17	I/O	FT	PA17	UART1_RTS/XBUS_A17	
-	-	52	104	PA18	I/O	FT	PA18	XBUS_A18/ LINK_LED(ELINK)	
-	-	53	105	PA19	I/O	FT	PA19	XBUS_A19	
-	-	-	106	PA20	I/O	FT	PA20	SLV_PRD/XBUS_PRD	
-	-	-	107	PA21	I/O	FT	PA21	SLV_PWR/XBUS_PWR	
-	-	54	108	NC.	NC.	-	-		
-	-	-	109	GND	P	-	GND		
20	20	55	110	PB8	I/O	FT	PB8	UART0_RXD	SLV_DO_1
21	21	56	111	PB9	I/O	FT	PB9	UART0_TXD	SLV_D1_1
22	22	57	112	PB10	I/O	FT	PB10	UART1_RXD/SWCLK	I2C_SCL_1/SLV_D2_1/ LINK_LED_3(ELINK_3) /UART1_RXD_3
23	23	58	113	PB11	I/O	FT	PB11	UART1_TXD/SWDIO/SWIO	I2C_SDA_1/SLV_D3_1/ UART1_RTS_3
24	24	59	114	PB12	I/O	FT	PB12	SPI0_SCS	UART2_RXD_1/SLV_D4_1/ UART1_CTS_3
25	25	60	115	PB13	I/O	FT	PB13	I2C_SCL/SPI0_SCK	UART1_CTS_2/SLV_D5_1
26	26	61	116	PB14	I/O	FT	PB14	I2C_SMBA/SPI0_MOSI	UART2_TXD_1/UART2_TXD_2/ SLV_D6_1
1	1	62	117	PB15	I/O	FT	PB15	I2C_SDA/SPI0_MISO	UART0_RTS_2/UART1_RTS_2/ SLV_D7_1
-	-	-	118	PD0	I/O	FT	PD0	SLV_DO/XBUS_DO	UART0_TXD_2
-	-	-	119	PD1	I/O	FT	PD1	SLV_D1/XBUS_D1	UART0_RTS_2
-	-	-	120	PD2	I/O	FT	PD2	SLV_D2/XBUS_D2	UART0_DTR_2
-	-	-	121	PD3	I/O	FT	PD3	SLV_D3/XBUS_D3	UART0_RXD_2/UART1_TNOW_3
-	-	63	122	V <sub>DD10</sub>	P	-	V <sub>DD10</sub>		
-	-	-	123	PD4	I/O	FT	PD4	SLV_D4/XBUS_D4	UART0_DCD_2/SLVI_1
-	-	-	124	PD5	I/O	FT	PD5	SLV_D5/XBUS_D5	UART0_RI_2/RST_3
-	-	-	125	PD6	I/O	FT	PD6	SLV_D6/XBUS_D6	UART0_DSR_2
-	-	-	126	PD7	I/O	FT	PD7	SLV_D7/XBUS_D7	UART0_CTS_2
-	-	64	127	NC.	NC.	-	-		
-	-	-	128	NC.	NC.	-	-		

引脚编号				引脚名称	引脚类型 <sup>(1)</sup>	I/O特性 <sup>(1)</sup>	主功能 (复位后)	默认复用功能	重映射功能 <sup>(2)</sup>
CH564C	CH564D	CH564Q	CH564L						
7	8	-	-	V <sub>DDK</sub>	P	-	V <sub>DDK</sub>		

注1: 表格缩写解释:

I = TTL/CMOS电平斯密特输入; 0 = CMOS电平三态输出;

A = 模拟信号输入或输出; P = 电源; NC. = 空脚或保留引脚; FT = 耐受5V;

注2: 重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如: UART2\_RXD\_2表示AFIO寄存器相应位配置为10b。

注3: USB引脚可配置为普通I/O口; XI/XO可配置为开漏输出。

注4: 对于CH564C芯片, PB6与PB17引脚在芯片内部短接合封, 禁止两个IO均配置为输出功能。

## 2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及芯片具体型号。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

表 2-2 引脚复用和重映射功能

复用 引脚	ADC	TIMO/1/2/3	UART0	UART1/2/3	SYS	I2C	SPI0/1	USB	SLV	XBUS	ETH
RST#					RST						
PA0										XBUS_A0	
PA1										XBUS_A1	
PA2										XBUS_A2	
PA3			UART0_TXD_3				SPI0_SCS_1		SLVCS_1	XBUS_A3	
PA4			UART0_RXD_3				SPI0_SCK_1			XBUS_A4	
PA5							SPI0_MISO_1		SLVA1_1	XBUS_A5	
PA6							SPI0_MOSI_1		SLVA_1	XBUS_A6	
PA7			UART0_RTS_3 UART0_DTR	UART1_CTS_1					SLV_PRD_1	XBUS_A7	
PA8			UART0_RTS	UART3_CTS						XBUS_A8	
PA9			UART0_TNOW_3	UART3_RTS					SLVI	XBUS_A9	
PA10									SLVA	XBUS_A10	
PA11		TIMO_CAT_1 TIM1_PWM_1		UART1_TXD_3					SLVCS	XBUS_A11	
PA12			UART0_CTS UART0_CTS_3	UART1_RTS_1					SLV_PWR_1	XBUS_A12	
PA13			UART0_DSR						SLVI_3	XBUS_A13	ACT_LED (ELED)
PA14			UART0_RI	UART2_CTS	RST_2					XBUS_A14	
PA15			UART0_DCD	UART2_RTS						XBUS_A15	
PA16				UART1_CTS						XBUS_A16	
PA17				UART1_RTS						XBUS_A17	
PA18										XBUS_A18	LINK_LED (ELINK)
PA19										XBUS_A19	
PA20									SLV_PRD	XBUS_PRD	
PA21									SLV_PWR	XBUS_PWR	
PB0		TIMO_PWM TIMO_TRAN	UART0_CTS_1	UART1_RXD_1							
PB1		TIMO_CAT TIMO_RECV	UART0_DSR_1	UART1_TXD_1 UART2_RTS_3			SPI1_SDI_3				
PB2		TIM1_PWM TIM1_TRAN	UART0_RI_1	UART2_TNOW							
PB3		TIM1_CAT TIM1_RECV	UART0_DCD_1	UART3_TNOW UART2_CTS_3	BUSY						
PB4		TIM2_PWM	UART0_DTR_1								
PB5		TIM2_CAT	UART0_RTS_1								
PB6	ADC_IN3	TIM3_PWM TIM3_CAT							SLVI_2		LINK_LED_2 (ELINK_2) ACT_LED_2 (ELED_2)
PB7									SLVA1_2		
PB8			UART0_RXD						SLV_D0_1		
PB9			UART0_TXD						SLV_D1_1		
PB10				UART1_RXD UART1_RXD_3	SWCLK	I2C_SCL_1			SLV_D2_1		LINK_LED_3 (ELINK_3)
PB11				UART1_TXD UART1_RTS_3	SWDIO SWIO	I2C_SDA_1			SLV_D3_1		
PB12				UART2_RXD_1 UART1_CTS_3			SPI0_SCS		SLV_D4_1		
PB13				UART1_CTS_2		I2C_SCL	SPI0_SCK		SLV_D5_1		

复用 引脚	ADC	TIMO/1/2/3	UART0	UART1/2/3	SYS	I2C	SPI0/1	USB	SLV	XBUS	ETH
PB14				UART2_TXD_1 UART2_TXD_2		I2C_SMBA	SPI0_MOSI		SLV_D6_1		
PB15			UART0_RTS_2	UART1_RTS_2		I2C_SDA	SPI0_MISO		SLV_D7_1		
PB16	ADCS										SPD_LED
PB17	ADC_IN4						SPI1_SCK		SLVA_2		LINK_LED_1 (ELINK_1) ACT_LED_3 (ELED_3)
PB18	ADC_IN5	TIMO_PWM_1 TIM1_CAT_1		UART3_RXD_1	BUSY_1		SPI1_SDO	CC1	SLVA1_3		DUP_LED
PB19	ADC_IN6			UART3_TXD_1 UART2_TNOW_3			SPI1_SDI	CC2			ACT_LED_1 (ELED_1)
PB20	ADC_IN0										
PB21	ADC_IN1										
PB22	ADC_IN2										COL_LED
PD0			UART0_TXD_2						SLV_D0	XBUS_D0	
PD1			UART0_RTS_2						SLV_D1	XBUS_D1	
PD2			UART0_DTR_2						SLV_D2	XBUS_D2	
PD3			UART0_RXD_2	UART1_TNOW_3					SLV_D3	XBUS_D3	
PD4			UART0_DCD_2						SLV_I_1 SLV_D4	XBUS_D4	
PD5			UART0_RI_2		RST_3				SLV_D5	XBUS_D5	
PD6			UART0_DSR_2						SLV_D6	XBUS_D6	
PD7			UART0_CTS_2						SLV_D7	XBUS_D7	
PD8										XBUS_D8	
PD9										XBUS_D9	
PD10										XBUS_D10	
PD11										XBUS_D11	
PD12										XBUS_D12	
PD13										XBUS_D13	
PD14										XBUS_D14	
PD15										XBUS_D15	
PD16				UART2_RXD_2						XBUS_D16	
PD17			UART0_TNOW	UART2_RTS_2						XBUS_D17	
PD18				UART2_CTS_2						XBUS_D18	
PD19										XBUS_D19	
PD20					RST_1					XBUS_D20	
PD21				UART1_TNOW UART3_TXD_3			SPI0_SCK_3			XBUS_D21	
PD22				UART3_RXD UART3_RXD_3			SPI0_MOSI_3			XBUS_D22	
PD23				UART3_TXD UART3_RTS_3			SPI0_MISO_3			XBUS_D23	
PD24				UART3_CTS_3			SPI0_SCS_3			XBUS_D24	
PD25										XBUS_D25	
PD26										XBUS_D26	
PD27										XBUS_D27	
PD28				UART2_RXD UART3_TNOW_3						XBUS_D28	
PD29				UART2_TXD UART2_TXD_3			SPI1_SCK_3			XBUS_D29	
PD30				UART2_RXD_3			SPI1_SDO_3			XBUS_D30	
PD31										XBUS_D31	

## 第3章 电气特性

### 3.1 测试条件

除非特殊说明和标注，所有电压都以 GND 为基准。

所有最小值和最大值将在最坏的环境温度等条件下得到保证。典型数值是基于以下两种环境之一用于设计指导：

1、常温 25°C 单 5V 供电， $V_5 =$  额定 5V、 $V_{DDIO} =$  额定 3.3V 和  $V_{REFADC} =$  额定 3.3V；

2、常温 25°C 单 3.3V 供电， $V_5$  与  $V_{DD33}$  短接或者  $V_5$  浮空、 $V_{DD33} =$  额定 3.3V、 $V_{DDIO} =$  额定 3.3V 和  $V_{REFADC} =$  额定 3.3V。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1-1 常规的单一 5V 供电典型电路

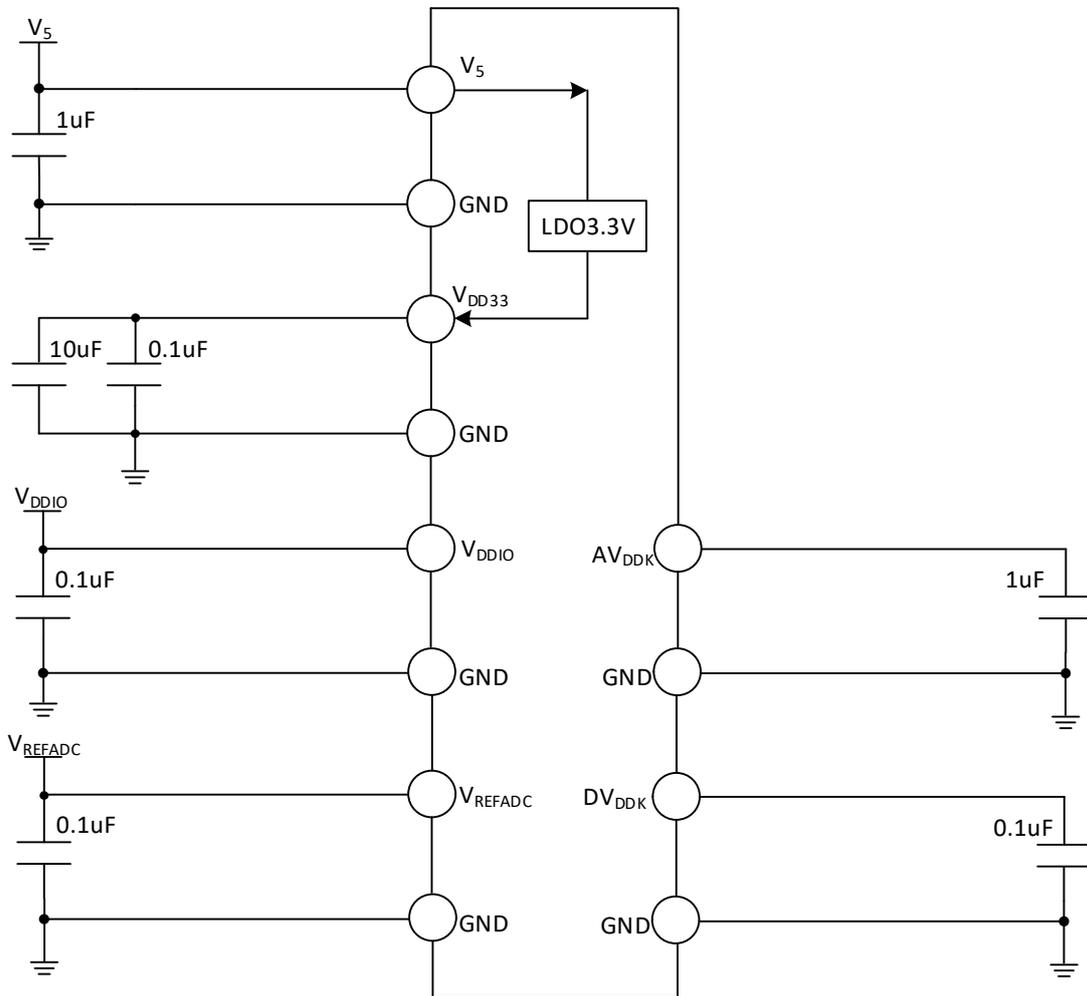
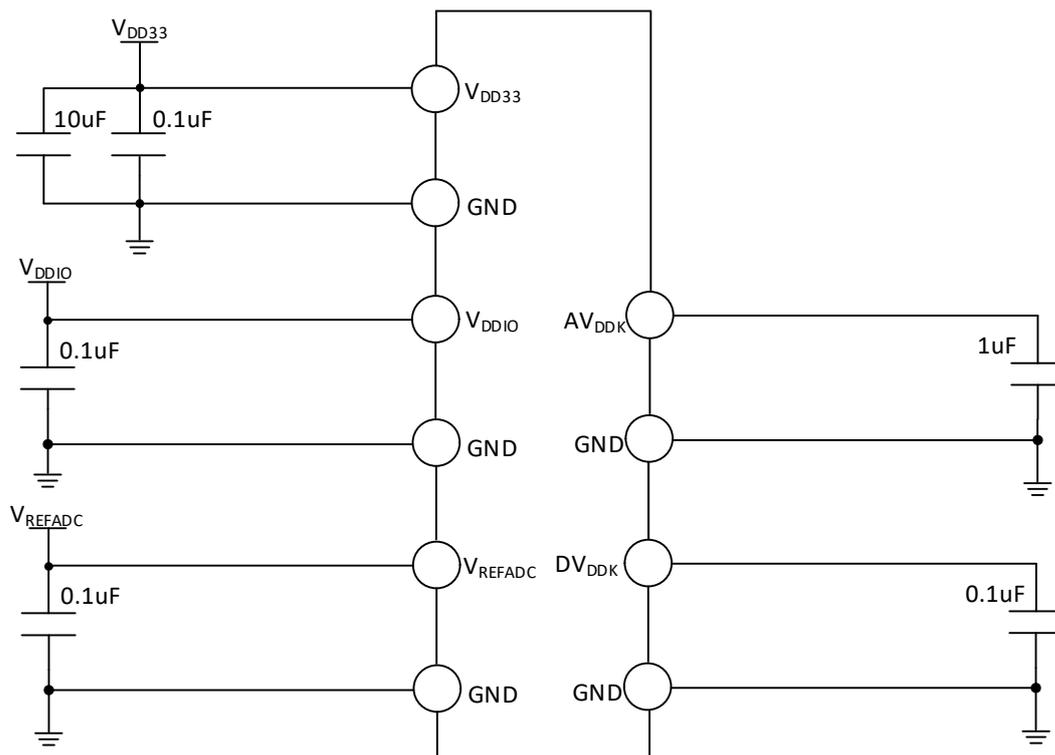


图 3-1-2 常规的单一 3.3V 供电典型电路



### 3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
$T_A$	工作时的环境温度	-40	85	$^{\circ}\text{C}$
$T_J$	结温度范围	-40	100	$^{\circ}\text{C}$
$T_S$	存储时的环境温度	-55	150	$^{\circ}\text{C}$
$V_5$	内部 3.3V 调压器输入电源电压 ( $V_5$ )	-0.4	5.5	V
$V_{DD33}$	工作电源电压 ( $V_{DD33}$ )	-0.4	4.0	V
$V_{DDIO}$	I/O 电源电压 ( $V_{DDIO}$ )	-0.4	4.0	V
$AV_{DDK}$	内核模拟电路的电源退耦端	-0.4	1.5	V
$DV_{DDK}$	内核数字电路的电源退耦端	-0.4	1.5	V
$V_{USB}$	USB 物理信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
$V_{ETH}$	ETH 物理信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
$V_{IN}$	FT (耐受 5V) 引脚上的输入电压	-0.4	5.5	V
	其他引脚上的输入电压	-0.4	$V_{DDIO}+0.4$	
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压 (HBM)	4K		V
$I_{IO}$	任意 I/O 和控制引脚上的吸收电流			mA
	任意 I/O 和控制引脚上的输出电流			

### 3.3 电气参数

#### 3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
$F_{HCLK}$	内部 HB 时钟频率			120	MHz
$V_5$	内部 3.3V 调压器输入电源电压 (额定 5V)		4.0	5.25	V
$V_{DD33}$	单一 3.3V 供电方案下的工作电源电压 ( $V_5$ 浮空)	未用 USB 和 ETH 功能	3.0	3.6	V
		使用 USB 或 ETH 功能	3.2	3.4	
	单一 5V 供电方案下的工作电压 (3.3V 调压器输出)		3.2	3.4	V
$V_{DD10}$	I/O 引脚供电电压 (额定 3.3V)		1.7	3.6	V

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
$t_{VDD33}$	$V_{DD33}$ 上升速率		1		us/V
	$V_{DD33}$ 下降速率		20		

#### 3.3.2 内嵌复位和电源控制模块特性

表 3-4 复位

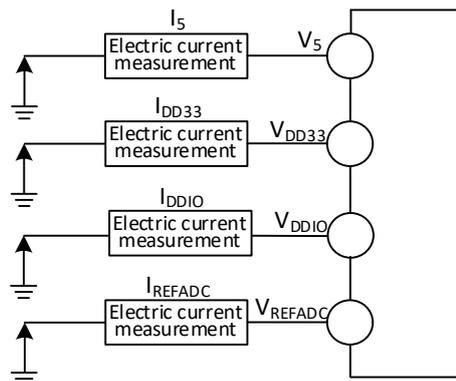
符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}$	$V_{DD33}$ 上电/掉电复位阈值		2.55	2.7	2.85	V
$V_{PDRhyst}$	PDR 迟滞			10		mV
$t_{RSTTEMP0}$	上电复位延时/按键复位延时			15		ms
	软件复位延时			7.5		ms
	其他复位延时			1		ms

表 3-5 中断、IO 屏蔽、可选复位

符号	参数	条件	最小值	典型值	最大值	单位
$V_{T\_VDD10}$	$V_{DD10}$ 低压检测阈值		1.32	1.41	1.5	V
$V_{T\_VDD10, hyst}$	$V_{DD10}$ 检测阈值迟滞			10		mV

#### 3.3.3 供电电流特性

图 3-2 电流消耗测量



电流消耗测量方法如上图所示。电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、芯片的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 1、常温下， $V_5 = 5V$ 、 $V_{DD10} = 3.3V$ 、 $V_{REFADC} = 3.3V$  情况下
- 2、常温下， $V_5$  与  $V_{DD33}$  短接或者  $V_5$  浮空、 $V_{DD33} = 3.3V$ 、 $V_{DD10} = 3.3V$ 、 $V_{REFADC} = 3.3V$  情况下，同时测试时：所有 IO 端口配置下拉输入；HSI = 20M（已校准），HSE = 25M。使能或关闭所有外设时钟的功耗。

表 3-6 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)(2)}$	运行模式下的供应电流	运行于高速外部时钟 (HSE)，使用 HB 预分频以减低频率	$F_{HCLK} = 120MHz$ ，PLL 开启	14.10	11.52	mA
			$F_{HCLK} = 80MHz$ ，PLL 开启	11.33	9.42	
			$F_{HCLK} = 60MHz$ ，PLL 开启	9.81	8.50	
			$F_{HCLK} = 40MHz$ ，PLL 开启	8.38	7.48	
			$F_{HCLK} = 25MHz$ ，PLL 开启	6.63	6.15	
			$F_{HCLK} = 25MHz$ ，PLL 关闭	3.23	2.75	
		运行于高速内部 RC 振荡器 (HSI)，使用 HB 预分频以减低频率	$F_{HCLK} = 120MHz$ ，PLL 开启	12.41	9.82	mA
			$F_{HCLK} = 80MHz$ ，PLL 开启	9.64	7.89	
			$F_{HCLK} = 60MHz$ ，PLL 开启	8.25	6.94	
			$F_{HCLK} = 40MHz$ ，PLL 开启	6.85	5.96	
			$F_{HCLK} = 20MHz$ ，PLL 开启	5.44	5.02	
			$F_{HCLK} = 20MHz$ ，PLL 关闭	2.03	1.62	

注：1. 以上为实测参数。

2. 如果不使用以太网功能，USBPLL 时钟源建议选择 HSI 或着 HSE 时钟送入。若 USBPLL 时钟源采用 ETHPLL 时钟送入，运行模式功耗则会在上述表格的基础上增加 1~5mA 左右。

表 3-7 睡眠模式下典型的电流消耗，数据处理代码从内部闪存或 SRAM 中运行

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}$	SLEEP 睡眠模式下的供应电流(此时外设供电和时钟保持)	运行于高速外部时钟 (HSE)，使用 HB 预分频以减低频率	$F_{HCLK} = 120MHz$ ，PLL 开启	11.48	8.89	mA
			$F_{HCLK} = 80MHz$ ，PLL 开启	9.53	7.82	
			$F_{HCLK} = 60MHz$ ，PLL 开启	8.48	7.16	
			$F_{HCLK} = 40MHz$ ，PLL 开启	7.48	6.58	
			$F_{HCLK} = 25MHz$ ，PLL 开启	6.06	5.54	
			$F_{HCLK} = 25MHz$ ，PLL 关闭	2.66	2.14	
		运行于高速内部 RC 振荡器 (HSI)，使用 HB 预分频以减低频率	$F_{HCLK} = 120MHz$ ，PLL 开启	9.90	7.49	mA
			$F_{HCLK} = 80MHz$ ，PLL 开启	8.08	6.34	
			$F_{HCLK} = 60MHz$ ，PLL 开启	7.07	5.76	
			$F_{HCLK} = 40MHz$ ，PLL 开启	6.06	5.18	

		$F_{HCLK} = 20\text{MHz}$ , PLL 开启	5.01	4.58	
		$F_{HCLK} = 20\text{MHz}$ , PLL 关闭	1.60	1.18	

注：以上为实测参数。

表 3-8-1 深度睡眠模式下典型的电流消耗 ( $V_5 = 5\text{V}$ )

符号	参数	条件	典型值	单位	
$I_{DD}$	深度睡眠 (DEEP SLEEP) 模式下的供应电流	低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态	$LDO\_SLP\_EN = 1$	319	uA
			$LDO\_SLP\_EN = 0$	277	

注：以上为实测参数。

表 3-8-2 深度睡眠模式下典型的电流消耗 ( $V_5$  与  $V_{DD33}$  短接或者  $V_5$  浮空、 $V_{DD33} = 3.3\text{V}$ )

符号	参数	条件	典型值	单位	
$I_{DD}$	深度睡眠 (DEEP SLEEP) 模式下的供应电流	低速和高速内部 RC 振荡器及外部振荡器都处于关闭状态	$LDO\_SLP\_EN = 1$	307	uA
			$LDO\_SLP\_EN = 0$	263	

注：以上为实测参数。

表 3-9 功能模块静态电流

符号	参数	条件	典型值	单位
$I_{DD(ADC)}$	ADC 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.54	mA
$I_{DD(GPIO)}$	GPIO 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.06	mA
$I_{DD(I2C)}$	I2C 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.14	mA
$I_{DD(TIM0)}$	定时器 TIM0 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.11	mA
$I_{DD(TIM1)}$	定时器 TIM1 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.11	mA
$I_{DD(TIM2)}$	定时器 TIM2 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.1	mA
$I_{DD(TIM3)}$	定时器 TIM3 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.08	mA
$I_{DD(SPI0)}$	SPI0 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.12	mA
$I_{DD(SPI1)}$	SPI1 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.07	mA
$I_{DD(UARTx)}$	串口 UARTx (x = 0, 1, 2, 3) 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.18	mA
$I_{DD(ETH)}$	ETH 模块静态电流	$F_{HCLK} = 120\text{MHz}$	3.50	mA
$I_{DD(ETH\_PHY)}$	ETH PHY 模块静态电流	$F_{HCLK} = 120\text{MHz}$	28	mA
$I_{DD(USB)}$	USB 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.3	mA
$I_{DD(USB\_PHY)}$	USB PHY 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.5	mA
$I_{DD(USB\_PD)}$	USB PD 模块静态电流	$F_{HCLK} = 120\text{MHz}$	0.01	mA

注：以上为实测参数。

### 3.3.4 外部时钟源特性

表 3-10 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
$F_{HSE\_ext}$	外部时钟频率		20	25	32	MHz

$V_{HSEH}^{(1)}$	XI 输入引脚高电平电压		$0.8V_{DD33}$		$V_{DD33}$	V
$V_{HSEL}^{(1)}$	XI 输入引脚低电平电压		0		$0.2V_{DD33}$	V
$C_{in(HSE)}$	XI 输入电容	$XIX0\_GPIO\_EN = 1$		5		pF
		$XIX0\_GPIO\_EN = 0$		17		
$DuCy_{(HSE)}$	占空比 (Duty cycle)		40		60	%
$I_L$	XI 输入漏电流				$\pm 2$	$\mu A$

注：1. 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

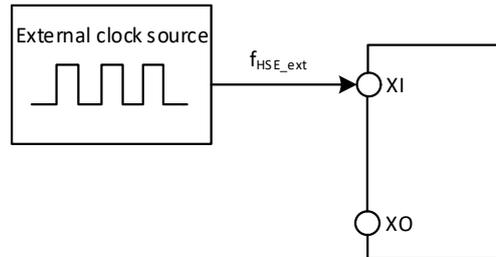


表 3-11 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
$F_{XI}$	谐振器频率	建议不超过 30ppm	20	25	32	MHz
$C_{LOAD}$	建议的负载电容与对应晶体串行阻抗 $R_s$	$R_s = 60\Omega^{(1)}$	12	12	20	pF
$I_{HSE}$	HSE 驱动电流			0.7		mA
$g_m$	振荡器的跨导	启动		22		mA/V
$t_{SU(HSE)}$	启动时间	$V_{DD33}$ 稳定		$2^{(2)}$		ms
DL	驱动级别	$R_s = 60\Omega^{(1)}$		12		$\mu W$

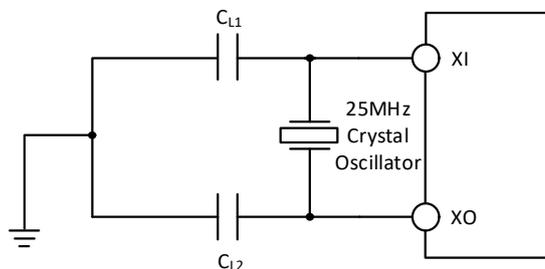
注：1. 建议晶体 ESR 不超过 80 欧姆，优先选择 ESR 较小的晶体。

2. 启动时间是指晶振从使能开始到给系统提供时钟的时间。

电路参考设计及要求：

XI 和 XO 引脚已分别内置负载电容 12pF 的外部晶体所需的两个振荡电容，外部只需要晶体。如果另选负载电容 20pF 的外部晶体，那么 XI 和 XO 需要分别对地额外加 15pF 的振荡电容。

图 3-4 外接 25M 晶体典型电路



### 3.3.5 内部时钟源特性

表 3-12 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

$F_{HS1}$	频率(校准后)			20		MHz
$DuCy_{HS1}$	占空比(Duty cycle)		45	50	55	%
$ACC_{HS1}$	HS1 振荡器的精度(校准后)	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.2		1.7	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.2		2.2	%
$t_{SU(HS1)}$	HS1 振荡器启动稳定时间			2	12	us
$I_{DD(HS1)}$	HS1 振荡器功耗		180	230	280	uA

### 3.3.6 从低功耗模式唤醒的时间

表 3-13 低功耗模式唤醒的时间<sup>(1)</sup>

符号	参数	条件	典型值	单位
$t_{wusleep}$	从睡眠模式唤醒	$f_{HCLK} = 120MHz$ (HS1), I/O 口边沿信号唤醒	0.21	us
$t_{wudeepsleep}$	从深度睡眠模式唤醒	$f_{HCLK} = 120MHz$ (HS1), I/O 口边沿信号唤醒	26.3	us

注：以上为实测参数。

### 3.3.7 存储器特性

表 3-14 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{prog\_page}$	页(256 字节)编程时间			2	2.5	ms
$t_{erase\_page}$	页(256 字节)擦除时间			16	20	ms
$t_{erase\_sec}$	扇区(4K 字节)擦除时间			16	20	ms

表 3-15 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
$N_{END}$	擦写次数	$T_A = 25^{\circ}C$	10K			次
$t_{RET}$	数据保存期限		20			年

### 3.3.8 I/O 端口特性

表 3-16 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}$	标准 I/O 引脚, 输入低电平电压	$V_{DD10} = 3.3V$	0		0.8	V
		$V_{DD10} = 2.5V$	0		0.7	
	FT I/O 引脚, 输入低电平电压	$V_{DD10} = 3.3V$	0		0.8	V
		$V_{DD10} = 2.5V$	0		0.7	
$V_{IH}$	标准 I/O 引脚, 输入高电平电压	$V_{DD10} = 3.3V$	2.0		$V_{DD10}$	V
		$V_{DD10} = 2.5V$	1.7		$V_{DD10}$	
	FT I/O 引脚, 输入高电平电压	$V_{DD10} = 3.3V$	2.0		$V_{DD10}$	V
		$V_{DD10} = 2.5V$	1.7		$V_{DD10}$	
$V_{hys}$	标准 I/O 施密特触发器电压迟滞		150			mV
	FT I/O 施密特触发器电压迟滞		90			mV
$I_{Ikg}$	标准 I/O 引脚输入漏电流				2	uA
	FT I/O 引脚输入漏电流				5	uA
$R_{PU}$	上拉等效电阻		30	40	55	k $\Omega$
$R_{PD}$	下拉等效电阻		30	40	55	k $\Omega$

$C_{I/O}$	I/O 引脚电容			5		pF
-----------	----------	--	--	---	--	----

注：以上均为设计参数保证。

### 输出驱动电流特性

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 5\text{mA}$  电流, 并且可以吸收或输出 $\pm 10\text{mA}$  电流(不严格达到 $V_{OL}/V_{OH}$ )。在用户应用中, 所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值。

表 3-17 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{OL}$	输出低电平, 单个引脚吸收 5mA 电流	$V_{DDIO} = 3.3\text{V}$		0.4	0.6	V
	输出低电平, 单个引脚吸收 3mA 电流	$V_{DDIO} = 2.5\text{V}$		0.4	0.6	
$V_{OH}$	输出高电平, 单个引脚输出 5mA 电流	$V_{DDIO} = 3.3\text{V}$	$V_{DDIO}-0.6$	$V_{DDIO}-0.4$		V
	输出高电平, 单个引脚输出 3mA 电流	$V_{DDIO} = 2.5\text{V}$	$V_{DDIO}-0.6$	$V_{DDIO}-0.4$		

注：1. 以上均为设计参数保证；

2. 以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节中的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线上的电流很大, 产生的压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-18 输入输出交流特性

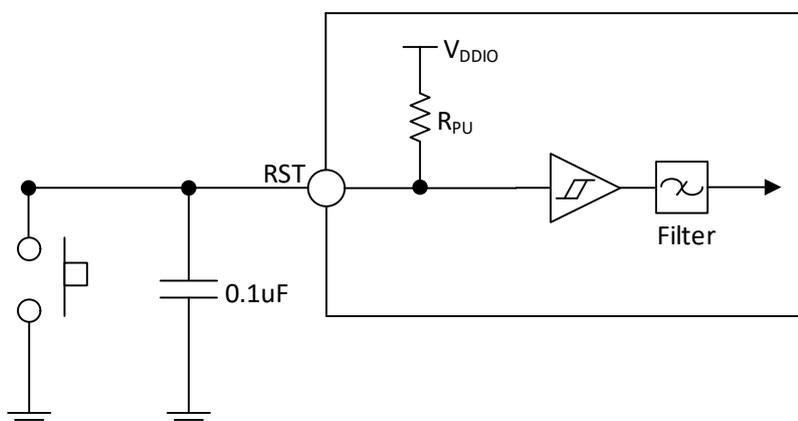
符号	参数	条件	最小值	最大值	单位
$F_{\max(10)\text{out}}$	最大频率	$CL = 30\text{pF}, V_{DDIO} = 2.7-3.6\text{V}$		50	MHz
		$CL = 30\text{pF}, V_{DDIO} = 1.7-3.6\text{V}$		30	MHz
$t_{f(10)\text{out}}$	输出高至低电平的下降时间	$CL = 30\text{pF}, V_{DDIO} = 2.7-3.6\text{V}$		6.5	ns
		$CL = 30\text{pF}, V_{DDIO} = 1.7-3.6\text{V}$		11	ns
$t_{r(10)\text{out}}$	输出低至高电平的上升时间	$CL = 30\text{pF}, V_{DDIO} = 2.7-3.6\text{V}$		6.5	ns
		$CL = 30\text{pF}, V_{DDIO} = 1.7-3.6\text{V}$		11	ns

注：以上均为设计参数保证。

### 3.3.9 RST 引脚特性

电路参考设计及要求：

图 3-5 外部复位引脚典型电路



注：图中的电容是可选的, 可以用于滤除按键抖动。

表 3-19 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(RST)}$	RST 输入低电平电压	$V_{DD10} = 3.3V$	-0.3		0.8	V
$V_{IH(RST)}$	RST 输入高电平电压	$V_{DD10} = 3.3V$	2.0		$V_{DD10}+0.3$	V
$V_{hys(RST)}$	RST 施密特触发器电压迟滞		90			mV
$R_{PU}^{(1)}$	上拉等效电阻		30	40	55	k $\Omega$
$V_{F(RST)}$	RST 输入可被滤波脉宽				100	ns
$V_{NF(RST)}$	RST 输入无法滤波脉宽		300			ns

注: 1. 上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小 (约占 10%)。

2. 建议 RST 引脚下拉低电平复位时间不少于 20ms。

### 3.3.10 USB PD 接口特性

表 3-20-1 PD 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{Rise}$	上升时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	430		ns
$t_{Fall}$	下降时间	幅度 10%到 90%之间的时间, 最小值为无负载条件下的时间	300	430		ns
$V_{Swing}$	输出电压摆幅 (峰-峰值)		1.04	1.12	1.20	V
$Z_{Driver}$	输出阻抗		26		90	$\Omega$

表 3-20-2 Type-C I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位	
$V_{CCIL}^{(1)}$	CC 引脚输入低电平电压	HVT=0, FT I/O 输入	0		0.8	V	
		HVT=1, 高阈值检测输入	0		2.0		
$V_{CCIH}^{(1)}$	CC 引脚输入高电平电压	HVT=0, FT I/O 输入	2.0		$V_{DD10}$	V	
		HVT=1, 高阈值检测输入	2.45		$V_{DD10}$		
$V_{CChys}$	迟滞电压	HVT=0, FT I/O 输入	90			mV	
		HVT=1, 高阈值检测输入		120			
$I_{pu}$	上拉电流	PAD < $V_{DD10}-0.6V$		80		$\mu A$	
					180		$\mu A$
					330		$\mu A$
Rd	下拉电阻	$V_{DD10} \geq 1.6V$ 或外部上拉 330 $\mu A$		5.1		k $\Omega$	
		CC_PD = 0, 关闭 5.1k $\Omega$ 下拉	500	800		k $\Omega$	

注: 1. HVT=1 时对应的  $V_{CCIL}$ 、 $V_{CCIH}$  为设计参数保证。

### 3.3.11 TIM 定时器特性

表 3-21 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 60MHz$	16.7		ns

F <sub>EXT</sub>	CH1 至 CH4 的定时器外部时钟频率		0	f <sub>TIMxCLK</sub> /2	MHz
		f <sub>TIMxCLK</sub> = 60MHz	0	30	MHz
R <sub>esTIM</sub>	定时器分辨率			28	位
t <sub>COUNTER</sub>	当选择了内部时钟时, 16 位计数器时钟周期		1	268435456	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 60MHz	0.0125	4473924	us
t <sub>MAX_COUNT</sub>	最大可能的计数			268435456	t <sub>TIMxCLK</sub>
		f <sub>TIMxCLK</sub> = 60MHz		4473924	us

3.3.12 I2C 接口特性

图 3-6 I2C 总线时序图

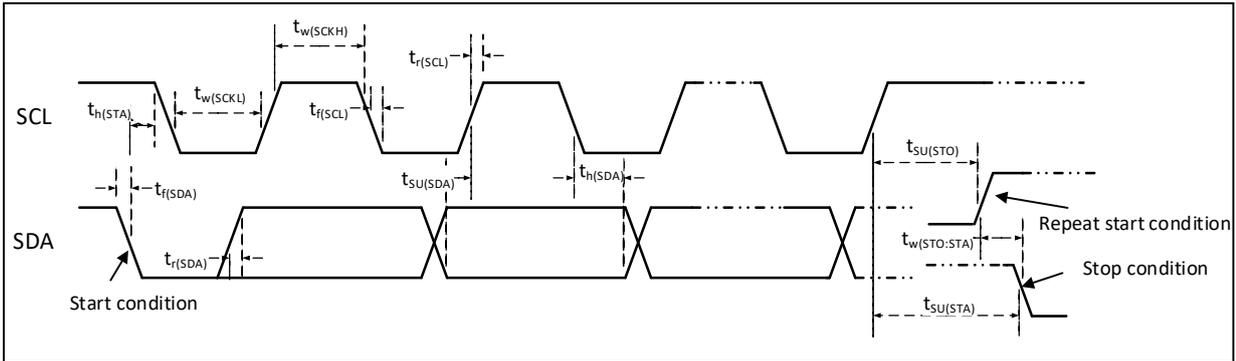


表 3-22 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
t <sub>w</sub> (SCKL)	SCL 时钟低电平时间	4.7		1.2		us
t <sub>w</sub> (SCKH)	SCL 时钟高电平时间	4.0		0.6		us
t <sub>SU</sub> (SDA)	SDA 数据建立时间	250		100		ns
t <sub>h</sub> (SDA)	SDA 数据保持时间	0		0	900	ns
t <sub>r</sub> (SDA)/t <sub>r</sub> (SCL)	SDA 和 SCL 上升时间		1000	20		ns
t <sub>f</sub> (SDA)/t <sub>f</sub> (SCL)	SDA 和 SCL 下降时间		300			ns
t <sub>h</sub> (STA)	开始条件保持时间	4.0		0.6		us
t <sub>SU</sub> (STA)	重复的开始条件建立时间	4.7		0.6		us
t <sub>SU</sub> (STO)	停止条件建立时间	4.0		0.6		us
t <sub>w</sub> (STO:STA)	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C <sub>b</sub>	每条总线的容性负载		400		400	pF

3.3.13 SPI 接口特性

图 3-7 SPI 主模式时序图

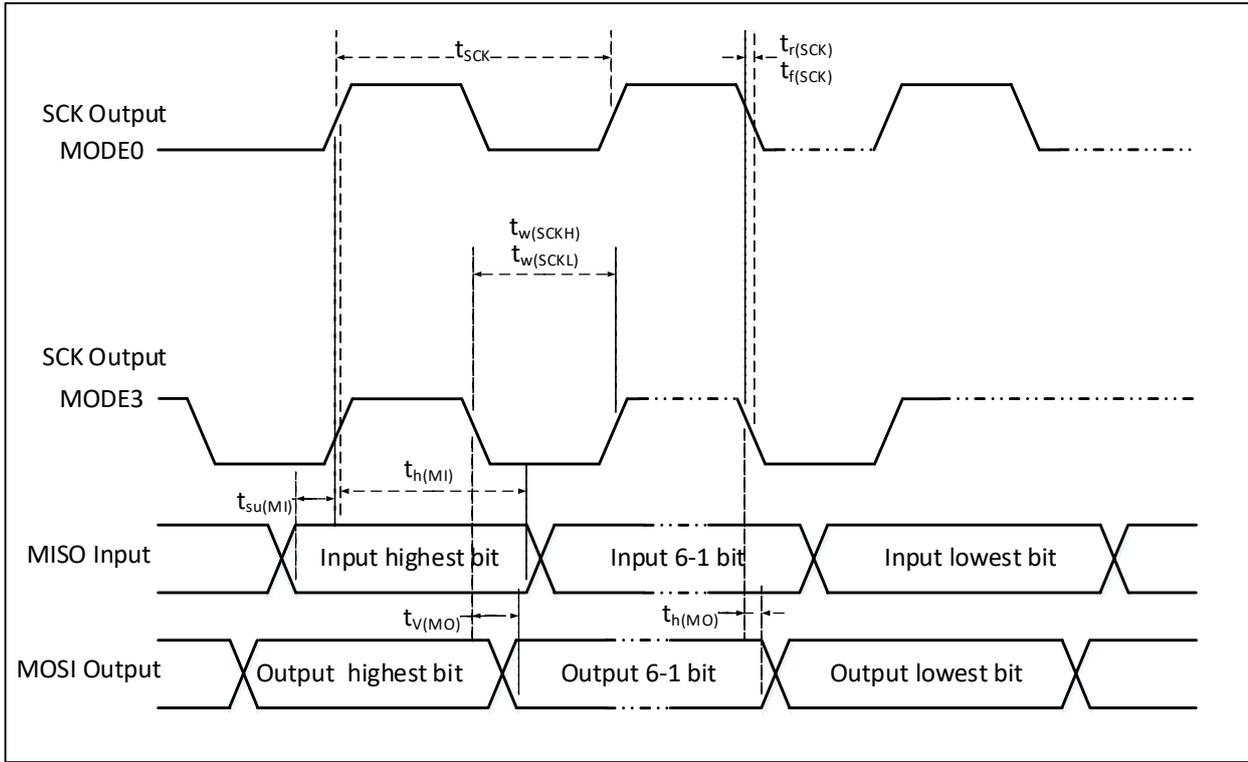


图 3-8 SPI 从模式时序图 (MODE0)

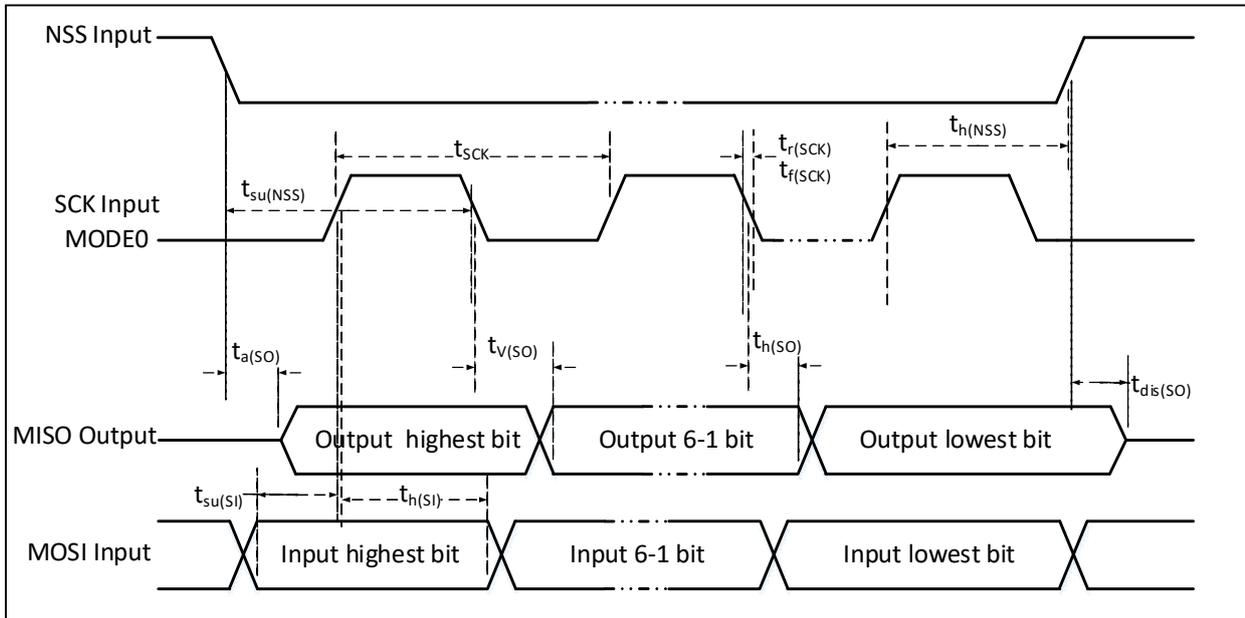


图 3-9 SPI 从模式时序图 (MODE3)

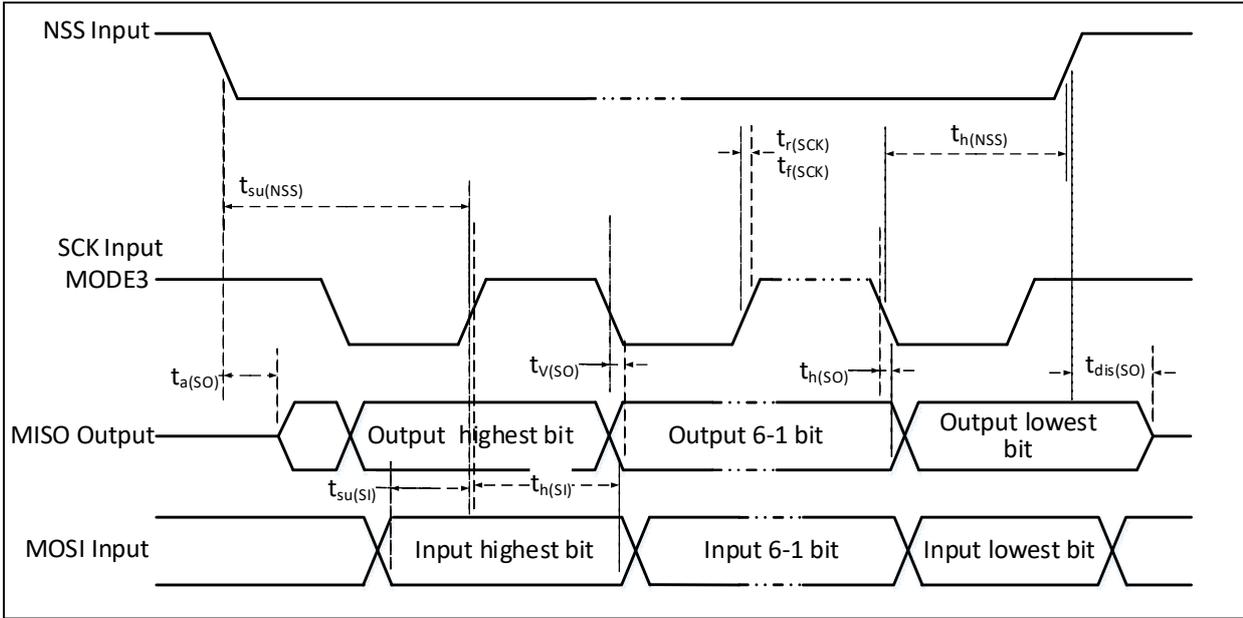


表 3-23 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
$f_{SCK}/t_{SCK}$	SPI0 时钟频率	主模式		50	MHz
		从模式		50	MHz
	SPI1 时钟频率	主模式		40	MHz
		从模式		40	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 20pF$		10	ns
$t_{su(NSS)}$	NSS 建立时间	从模式	$2t_{HCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{HCLK}$		ns
$t_w(SCKH)/t_w(SCKL)$	SCK 高电平和低电平时间	主模式, $f_{HCLK} = 24MHz$ , 预分频系数=4	70	97	ns
$t_{su(MI)}$	数据输入建立时间	主模式	$RB\_SPI\_HS\_HOST = 0$	12	ns
			$RB\_SPI\_HS\_HOST = 1$	$12 - 0.5t_{SCK}$	
$t_{su(SI)}$	数据输入建立时间	从模式	4		ns
$t_{h(MI)}$	数据输入保持时间	主模式	$RB\_SPI\_HS\_HOST = 0$	-4	ns
			$RB\_SPI\_HS\_HOST = 1$	$0.5t_{SCK} - 4$	
$t_{h(SI)}$	数据输入保持时间	从模式	2		ns
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{HCLK} = 20MHz$	0	$1t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{v(SO)}$	数据输出有效时间	从模式 (使能边沿之后)		15	ns
$t_{v(MO)}$		主模式 (使能边沿之后)		5	
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)		5	ns
$t_{h(MO)}$		主模式 (使能边沿之后)		0	

3.3.14 USB 接口特性

表 3-24 USB 接口 I/O 特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

V <sub>DD33</sub>	USB 工作电压		3.0		3.6	V
V <sub>SE</sub>	单端接收器阈值	V <sub>DD33</sub> = 3.3V	1.2		1.9	V
V <sub>OL</sub>	静态输出低电平				0.3	V
V <sub>OH</sub>	静态输出高电平		2.8		3.6	V
V <sub>HSOI</sub>	高速空闲电平		-10		10	mV
V <sub>HSOH</sub>	高速数据高电平		360		440	mV
V <sub>HSOL</sub>	高速数据低电平		-10		10	mV
R <sub>USBPUP</sub>	USB 引脚上拉电阻			1.5		kΩ
R <sub>USBPDOWN</sub>	USB 引脚下拉电阻			15		kΩ
V <sub>BC_REF</sub>	BC 比较器参考电压			0.4		V
V <sub>BC_SRC</sub>	BC 协议输出电压			0.6		V

## 3.3.15 12 位 ADC 特性

表 3-25 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>DD33</sub>	供电电压		3		3.6	V
I <sub>DD33</sub>	供电电流			350		uA
V <sub>REFADC</sub>	参考电压		1.7	3.3	3.6	V
V <sub>REFINT</sub>	内置参考电压		1.16	1.2	1.24	V
T <sub>S_VREFINT</sub>	当读出内部参考电压时，ADC 的参考时间				1.71	us
f <sub>ADC</sub>	ADC 时钟频率				16	MHz
V <sub>ADCIN</sub>	输入电压范围		0		V <sub>DDIO</sub>	V
V <sub>AIN</sub>	转换电压范围		0		V <sub>REFADC</sub>	V
C <sub>ADC</sub>	内部采样保持电容			6		pF
R <sub>ADC</sub>	采样开关电阻			0.5	1.5	kΩ
f <sub>s</sub>	采样速率	f <sub>ADC</sub> = 16MHz	63.5		1000	KHz
			1/252		1/16	f <sub>ADC</sub>
t <sub>s</sub>	采样时间	f <sub>ADC</sub> = 16MHz	0.22		14.97	us
			3.5		239.5	1/f <sub>ADC</sub>
t <sub>STAB</sub>	上电时间			7		us
t <sub>CONV</sub>	总的转换时间（包括采样时间）	f <sub>ADC</sub> = 16MHz	1		15.75	us
			16		252	1/f <sub>ADC</sub>

注：以上均为设计参数保证。

公式：最大 R<sub>AIN</sub>

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于 1/4LSB。其中 N=12(表示 12 位分辨率)。

表 3-26 f<sub>ADC</sub> = 16MHz 时的最大 R<sub>AIN</sub>

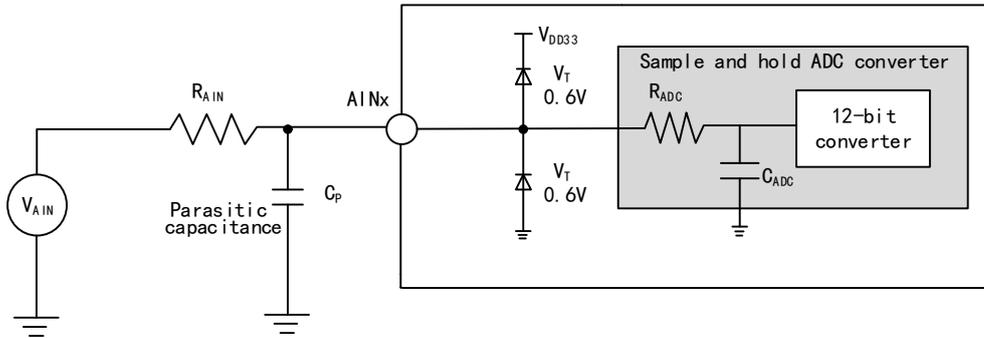
T <sub>s</sub> (周期)	t <sub>s</sub> (us)	最大 R <sub>AIN</sub> (kΩ)
3.5	0.22	2.5
7.5	0.47	6.5

13.5	0.84	13
28.5	1.78	29
41.5	2.59	43
55.5	3.47	/
71.5	4.47	/
239.5	14.97	/

表 3-27 ADC 误差

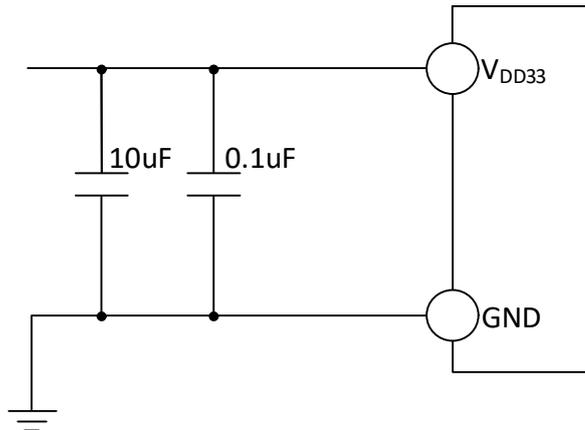
符号	参数	条件	最小值	典型值	最大值	单位
ET	数据总偏差	$f_{ADC} = 16\text{MHz}$ , $R_{AIN} < 10\text{k}\Omega$ , $V_{DDA} = 3.3\text{V}$		4	12	LSB
E0	失调误差		2	5		
EG	增益误差		1	4		
ED	微分非线性误差		1	11		
EL	积分非线性误差		3	11		

图 3-10 ADC 典型连接图



$C_p$  表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的  $C_p$  数值将降低转换精度，解决办法是降低  $f_{ADC}$  值。

图 3-11 模拟电源及退耦电路参考



## 第 4 章 封装及订货信息

### 芯片封装

封装形式	塑体尺寸	引脚节距		封装说明	订货型号
LQFP128	14*14mm	0.4mm	15.7mil	标准 LQFP128 脚贴片	CH564L
LQFP64M	10*10mm	0.5mm	19.7mil	LQFP64M (10*10) 贴片	CH564Q
QFN26C3	3*3mm	0.4mm	15.7mil	WCH 四边无引线 26 脚	CH564D
QFN26C3	3*3mm	0.4mm	15.7mil	WCH 四边无引线 26 脚	CH564C

说明：尺寸标注的单位是 mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

图 4-1 LQFP128 封装

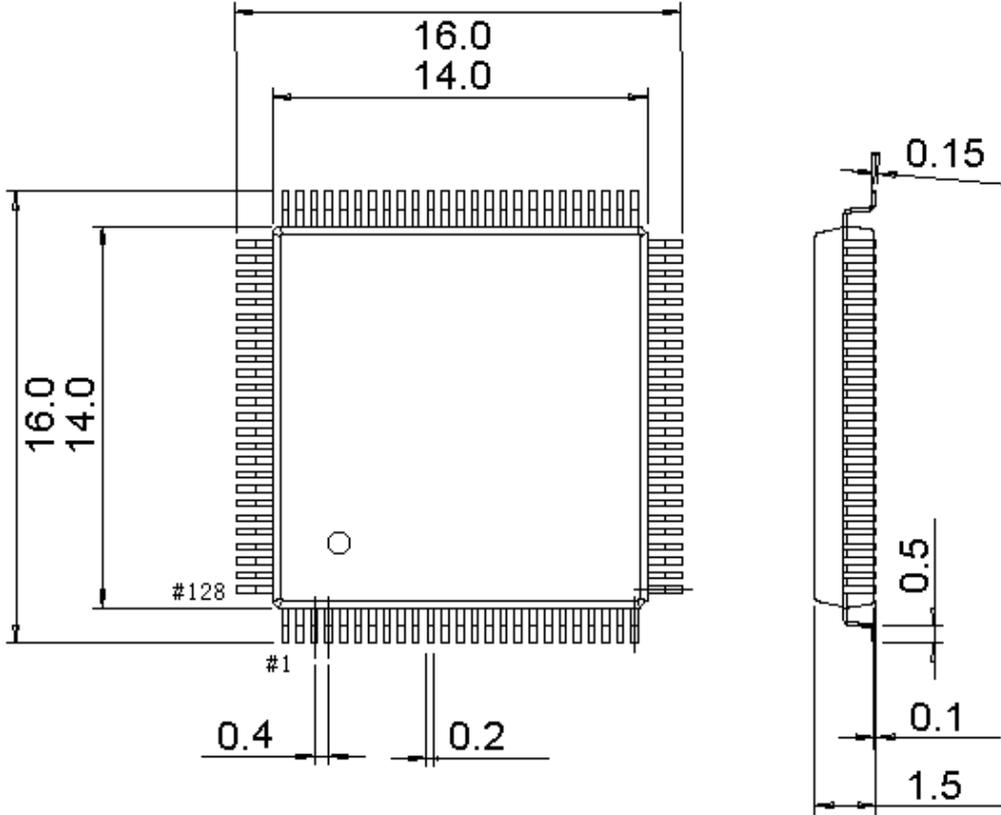


图 4-2 LQFP64M 封装

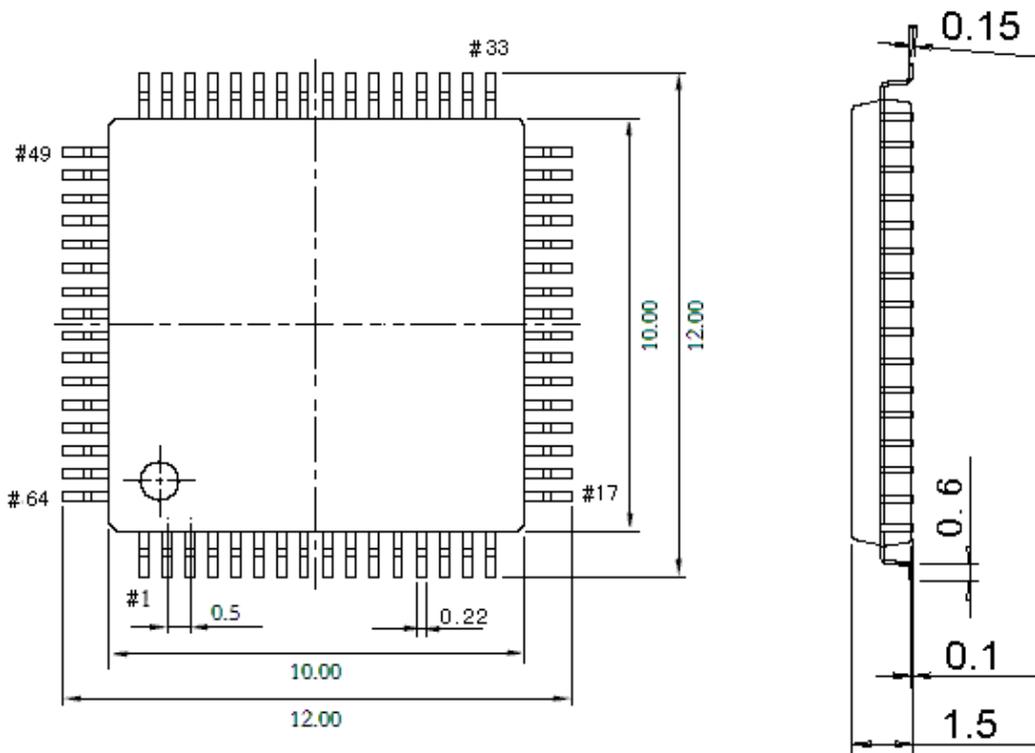


图 4-3 QFN26C3 封装

