

4 端口 USB3.0 HUB 控制器芯片 CH634

手册 1

版本: 1.3

<https://wch.cn>

1、概述

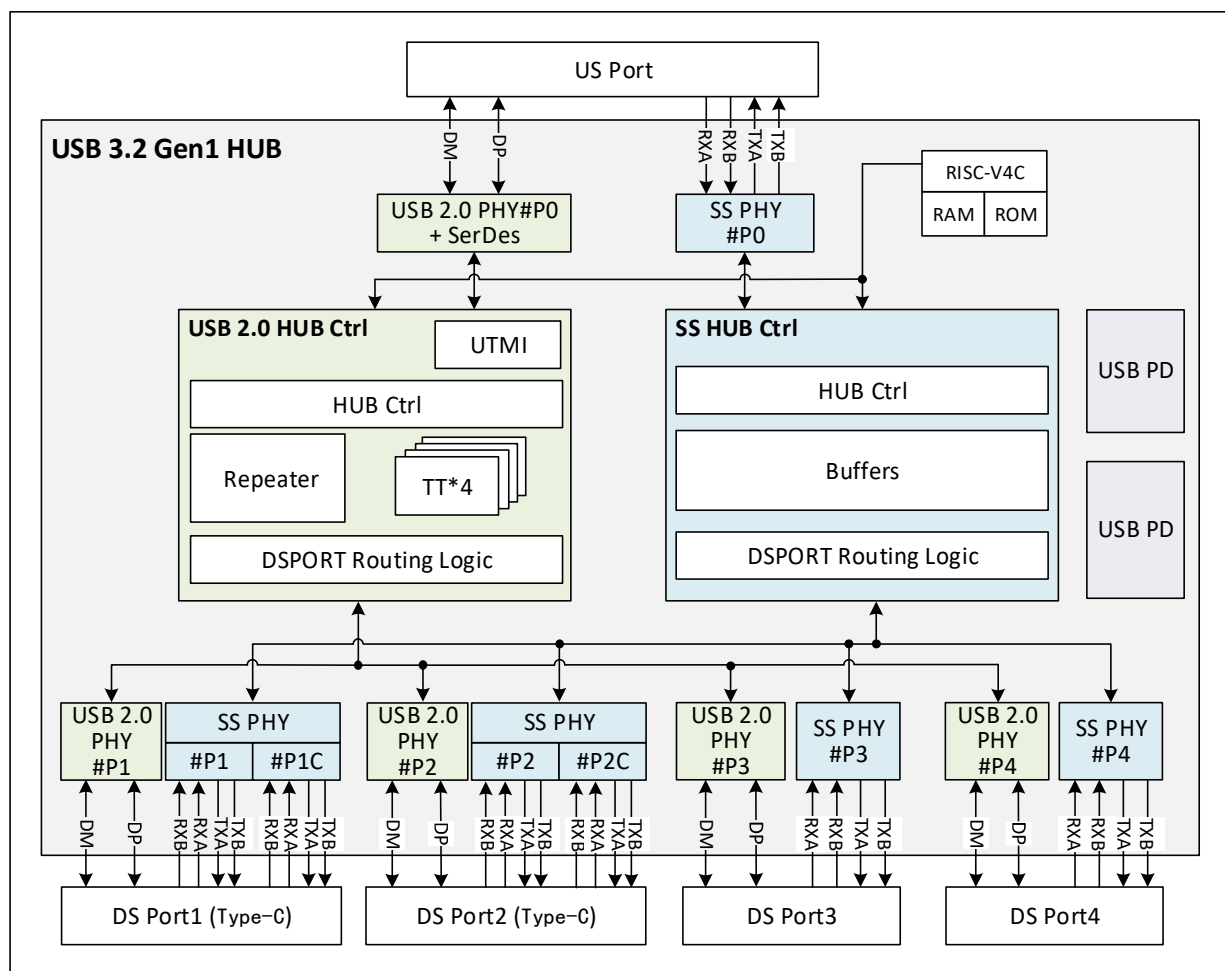
CH634 是符合 USB3.2 Gen1 协议规范的 4 端口 USB 超高速 HUB 控制器芯片,单芯片集成 4 口 USB HUB 和 USB PD 功能。CH634 具有独立的 SS HUB 控制器和 USB2.0 HUB 控制器,内置 5 组 SS PHY、5 组 USB2.0 PHY 和 2 组 PD PHY。CH634 芯片的上行端口支持 USB3.0 超高速 5Gbps、USB2.0 高速 480Mbps 和全速 12Mbps,下行端口支持 USB3.0 超高速、USB2.0 高速、全速和低速 1.5Mbps。

CH634W8G 内置两组 Type-C 双通道 USB3.0 PHY 和双 PD PHY,兼容 USB-C 线缆和连接规范,原生支持 Type-C 正反插自适应,原生支持 PDHUB 和 Type-C 电源 15W 快充。

CH634 支持高性能的并发处理 MTT 模式,采用工业级设计,外围精简,可应用于计算机和工控机主板、扩展坞、外设、嵌入式系统等场景。

下图为 CH634 的系统框图。

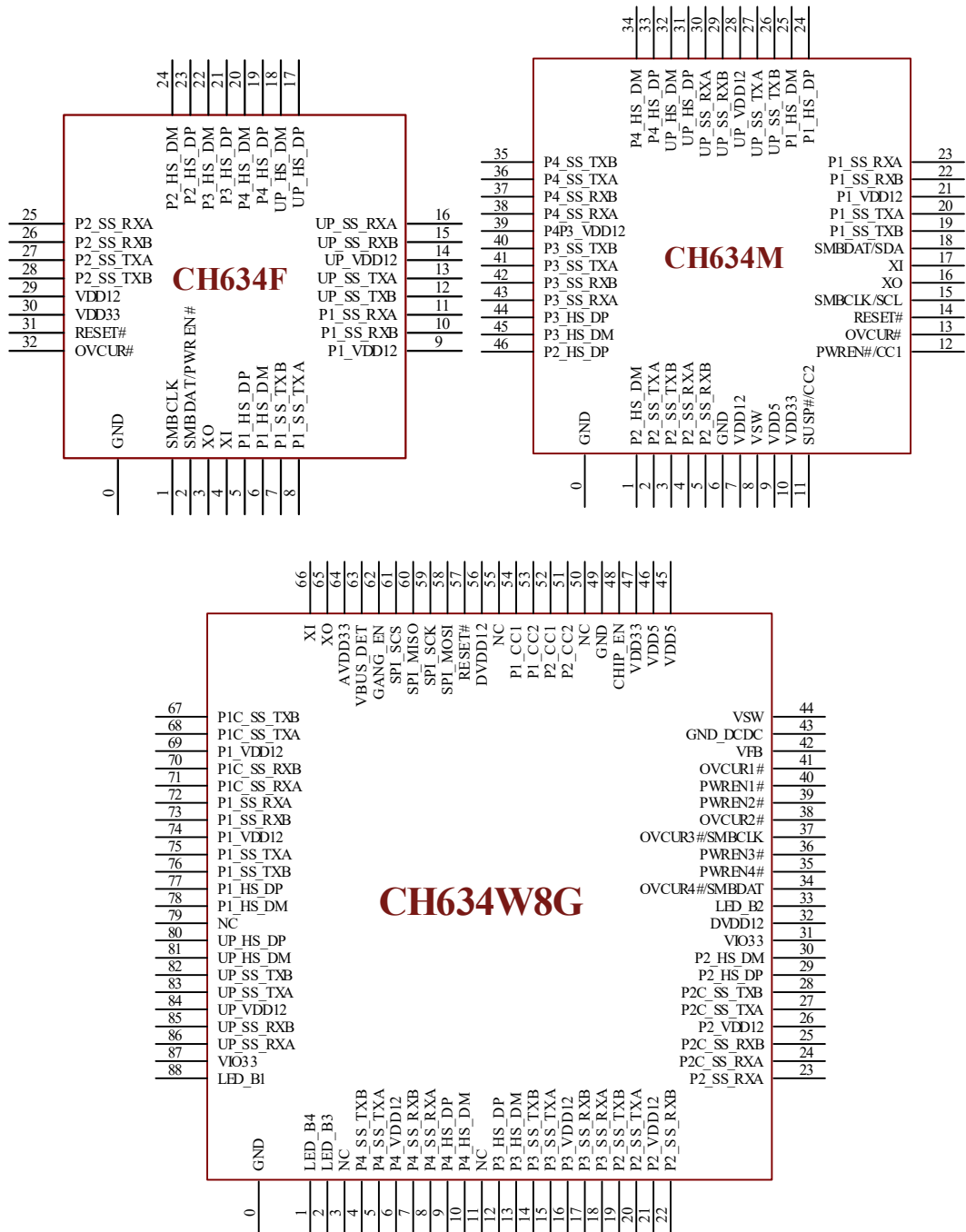
图 1-1 系统框图



2、特点

- 4 口 USB3.2 Gen1 HUB 集线器，提供 4 个下行端口，支持 USB3.2 Gen1 (5Gbps)，并且向前兼容 USB3.1、USB3.0、USB2.1、USB2.0、USB1.1、USB1.0 协议规范
- USB3.2 Gen1 HUB 模块支持符合 USB3.2 Gen1 协议规范的 U0/U1/U2/U3 电源管理模式
- 部分型号内置两组自研的 Type-C 双通道 USB3.0 PHY，原生支持 Type-C 正插和反插
- USB2.0 HUB 模块支持符合 USB2.1 协议规范的 L0/L1/L2/L3 电源管理模式
- 支持低成本的 STT 或高性能的 MTT 模式，MTT 为每个端口配置独立的 TT 实现高速传输
- 内置两路 USB PD PHY，原生支持 Type-C 电源 15W 快充，支持 PDHUB 和扩展坞
- 支持 BC1.2 充电协议和 CDP
- 兼容 USB Type-C 线缆和连接规范，3 种 C 口工作模式，支持下行双 C 口或上行 C 口
- 支持 GANG 整体联动电源控制和 GANG 整体过流检测
- 部分型号支持各端口独立电源控制和各端口独立过流检测
- 自研的 HUB 专用 USB PHY，低功耗技术，支持自供电或总线供电
- 部分型号支持 SMBus 总线，支持主板集成和管理
- CH634M 和 CH634W8G 支持上行口交换功能，便于 2 个 USB 主机管理多个 USB 设备
- 支持通过 I/O 引脚配置独立或整体控制、供电模式等功能
- 可通过外部 EEPROM、外部 FLASH 或内部 EEPROM 配置 HUB 芯片是否支持复合设备、不可移除设备、自定义 VID、PID、端口配置和 USB 厂商、产品、序列号字符串描述符等
- 内置信息存储器，针对行业特殊需求可批量定制厂商或产品信息及配置
- 集成了 3.3V 的 LDO 调压器和 1.2V 的 DC-DC 降压器，支持外部 5V 电源供电，外围精简
- 部分型号支持外加 Type-C 接口芯片 CH211 实现 28V 高压 PDHUB 和扩展坞
- 青稞 RISC-V 处理器内核、超速 USB、高速 USB、USB PD 等控制器和物理层收发器 IP 全自研，各模块紧密协同，效率高成本低，免除 IP 授权费
- 提供 QFN32、QFN46C5、QFN88 等多种封装形式

3、引脚排列



封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN32	4*4mm	0.4mm	15.7mil	四边无引线 32 脚	CH634F
QFN46C5	5*5mm	0.4mm	15.7mil	WCH 四边无引线 46 脚	CH634M
QFN88	10*10mm	0.4mm	15.7mil	四边无引线 88 脚	CH634W8G

注：1、0#引脚是 QFN 封装的底板，是必要连接。

2、CH634F、CH634W5M、CH634W6T 内部没有 LDO 调压器和 DC-DC 降压器，需外部同时供电 3.3V 和 1.2V。其它型号内置 3.3V 的 LDO 调压器和 1.2V 的 DC-DC 降压器，外部单一供电 5V 或 3.3V。

3、CH634F 的 4 个下行端口包含 2 个 USB3.2 Gen1 和 2 个 USB2.0；其它型号包含 4 个 USB3.2 Gen1 下行端口和 4 个 USB2.0；其中，CH634W8G 包含两组原生 Type-C/PD 正反插自适应端口。

4、客制引脚 CH634W5M、CH634W6C、CH634W6G、CH634W6T、CH634W7G、CH634W7R、CH634W7S、CH634W7U、CH634W7V，仅批量预定。其引脚排列、引脚定义和封装信息请参考《CH634DS2》手册。

4、引脚定义

表 4-1 USB 信号相关引脚功能描述

USB 信号引脚	引脚名称	类型 ⁽¹⁾	功能描述
上行端口 USBSS 差分信号	UP_SS_TXA UP_SS_TXB	USB3	上行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	UP_SS_RXA UP_SS_RXB	USB3	上行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
上行端口 USB2.0 差分信号	UP_HS_DP	USB2	上行端口 USB2.0 差分信号线 D+。
	UP_HS_DM	USB2	上行端口 USB2.0 差分信号线 D-。
1#下行端口 USBSS 差分信号	P1_SS_TXA P1_SS_TXB	USB3	1#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P1_SS_RXA P1_SS_RXB	USB3	1#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
1#下行端口 USB2.0 差分信号	P1_HS_DP	USB2	1#下行端口 USB2.0 差分信号线 D+。
	P1_HS_DM	USB2	1#下行端口 USB2.0 差分信号线 D-。
2#下行端口 USBSS 差分信号	P2_SS_TXA P2_SS_TXB	USB3	2#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P2_SS_RXA P2_SS_RXB	USB3	2#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
2#下行端口 USB2.0 差分信号	P2_HS_DP	USB2	2#下行端口 USB2.0 差分信号线 D+。
	P2_HS_DM	USB2	2#下行端口 USB2.0 差分信号线 D-。
3#下行端口 USBSS 差分信号	P3_SS_TXA P3_SS_TXB	USB3	3#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P3_SS_RXA P3_SS_RXB	USB3	3#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
3#下行端口 USB2.0 差分信号	P3_HS_DP	USB2	3#下行端口 USB2.0 差分信号线 D+。
	P3_HS_DM	USB2	3#下行端口 USB2.0 差分信号线 D-。
4#下行端口 USBSS 差分信号	P4_SS_TXA P4_SS_TXB	USB3	4#下行端口 USBSS 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	P4_SS_RXA P4_SS_RXB	USB3	4#下行端口 USBSS 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。
4#下行端口 USB2.0 差分信号	P4_HS_DP	USB2	4#下行端口 USB2.0 差分信号线 D+。
	P4_HS_DM	USB2	4#下行端口 USB2.0 差分信号线 D-。
1#或 2#下行端口 Type-C 差分信号	PxC_SS_TXA PxC_SS_TXB	USB3	1#或 2#下行端口 Type-C 差分发送信号线 TX+/TX-或 TX-/TX+（自动识别交叉）。
	PxC_SS_RXA PxC_SS_RXB	USB3	1#或 2#下行端口 Type-C 差分接收信号线 RX+/RX-或 RX-/RX+（自动识别交叉）。

表 4-2 CH634F 和 CH634M 引脚定义

引脚号（同名引脚可参考）		引脚名称	类型 ⁽¹⁾	功能描述
CH634F	CH634M			
-	9	VDD5	P	5V 电源输入，建议外接 0.1uF 并联 10uF 退耦电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。
-	8	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1.2V 电

				源, 且 1.2V 电源需就近放置对地电容, 建议用 2.2uH 电感且至少一个 10uF 电容。
-	10	VDD33	P	3.3V LDO 输出端, 模拟电源和 I/O 引脚电源输入, 建议外接 0.1uF 并联 10uF 退耦电容。
30	-	VDD33	P	模拟电源和 I/O 引脚电源输入, 建议外接 0.1uF 并联 10uF 退耦电容。
29	7	VDD12	P	1.2V 内核电源和 2#下行端口 1.2V 电源输入, 建议外接 0.1uF 或 1uF 退耦电容。
0	0、6	GND	P	公共接地端, 必须连接 GND。
14	28	UP_VDD12	P	上行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。
9	21	P1_VDD12	P	1#下行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。
-	-	P3_VDD12	P	3#下行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。
-	39	P4P3_VDD12	P	3#和 4#下行端口 1.2V 电源输入, 外接 0.1uF 退耦电容。
4	17	XI	I	晶体振荡器输入端, 接外部 24MHz 晶体一端及对地电容。
3	16	XO	O	晶体振荡器反相输出端, 接外部 24MHz 晶体另一端及对地电容。
13、12、16、15	27、26、30、29	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
17、18	31、32	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。
8、7、11、10	20、19、23、22	P1_SS_XXX	USB3	1#下行端口 USBSS 差分发送或接收信号线。
5、6	24、25	P1_HS_XX	USB2	1#下行端口 USB2.0 差分信号线。
27、28、25、26	2、3、4、5	P2_SS_XXX	USB3	2#下行端口 USBSS 差分发送或接收信号线。
23、24	46、1	P2_HS_XX	USB2	2#下行端口 USB2.0 差分信号线。
-	41、40、43、42	P3_SS_XXX	USB3	3#下行端口 USBSS 差分发送或接收信号线。
21、22	44、45	P3_HS_XX	USB2	3#下行端口 USB2.0 差分信号线。
-	36、35、38、37	P4_SS_XXX	USB3	4#下行端口 USBSS 差分发送或接收信号线。
19、20	33、34	P4_HS_XX	USB2	4#下行端口 USB2.0 差分信号线。
32	13	OVCUR#	I	整体模式下行端口过流检测输入引脚, 低电平过流, 内置上拉。
2	-	SMBDAT/ PWREN#	I/O	SMBus 总线数据信号线。
			O	整体模式下行端口电源输出控制引脚, 低电平开启。
1	-	SMBCLK	I	SMBus 总线时钟信号线。 在上电期间作为配置引脚, 用于配置 CH634F 芯片的 SMBDAT/PWREN#引脚功能, 如果检测到外部有上拉电阻(如 4.7K 电阻), 则配置为 SMBDAT 功能, 否则配置为 PWREN#功能。
31	14	RESET#	I	外部复位输入, 内置上拉电阻, 低电平有效, 不使用时可以悬空, 建议短接 VDD33 防干扰。
-	18	SMBDAT/SDA	I/O	通用 HUB 模式: SMBus 总线数据信号线。
			I/O	PD-HUB 模式: 2 线串行接口的数据信号线, 用于连接 CH211 芯片。
-	15	SMBCLK/SCL	I	通用 HUB 模式: SMBus 总线时钟信号线。
			O	PD-HUB 模式: 2 线串行接口的时钟信号线, 用于连接 CH211 芯片。

-	12	PWREN#/CC1	0	通用 HUB 模式：整体模式下行端口电源输出控制引脚，低电平开启。 在复位期间作为配置引脚，用于配置通用 HUB 模式或 PD-HUB 模式，如果检测到外部有上拉电阻（如 4.7K 电阻），则配置为通用 HUB 模式，否则配置为 PD-HUB 功能。 注：PD-HUB 模式下，下行端口电源输出控制引脚由 CH211 提供。
			I/O (FT)	PD-HUB 模式：上行口 PD 协议通信引脚 CC1，用于连接手机/电脑等 USB 主机。
-	11	SUSP#/CC2	I/O	通用 HUB 模式：SUSP 睡眠状态输出引脚，高电平指示睡眠态，低电平指示正常状态。 如果芯片配置参数使能上行口交换功能，则该引脚切换成上行口和下行 PORT1 口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。
			I/O (FT)	PD-HUB 模式：外供电端 PD 协议通信引脚 CC2，用于连接 Type-C 电源适配器。

表 4-3 CH634W8G 引脚定义

引脚号（同名引脚可参考）	引脚名称	类型 ⁽¹⁾	功能描述
45	VDD5	P	DCDC 的电源输入，建议外接 10uF 电容。
46	VDD5	P	3.3V LDO 的 5V 电源输入，建议外接 1uF 电容。如果 VDD5 电压小于 3.6V 则应短接 VDD33。
44	VSW	P	DCDC 输出端，需贴近引脚串接电感产生 1.2V 电源，且 1.2V 电源需就近放置对地电容，建议用 2.2uH 电感且至少一个 10uF 电容。
42	VFB	P	DCDC 电压反馈端，建议外接 0.1uF 对地电容，且直连 DC-DC 输出的 1.2V 电源。
47	VDD33	P	3.3V LDO 输出端，建议外接 1uF~10uF 对地电容。
64	AVDD33	P	3.3V 模拟电源输入，建议外接 0.1uF 并联 10uF 或 4.7uF 退耦电容。
31、87	V1033	P	I/O 引脚电源输入，外供 3.3V，建议外接 1uF 或 0.1uF 退耦电容。
32、56	DVDD12	P	1.2V 内核电源输入，建议外接 0.1uF 或 1uF 退耦电容。
43	GND_DCDC	P	DCDC 接地端，必须连接 GND。
0	GND	P	公共接地端，必须连接 GND。
49	GND	P	可选接地端，建议连接 GND。
84	UP_VDD12	P	上行端口 1.2V 电源输入，外接 0.1uF 退耦电容。
69(74)、21(26)、16、6	Px_VDD12	P	1-4#下行端口 1.2V 电源输入，外接 0.1uF 退耦电容。
66	XI	I	晶体振荡器输入端，接外部 24MHz 晶体一端及对地电容。
65	XO	O	晶体振荡器反相输出端，接外部 24MHz 晶体另一端及对地电容。
83、82、86、85	UP_SS_XXX	USB3	上行端口 USBSS 差分发送或接收信号线。
80、81	UP_HS_XX	USB2	上行端口 USB2.0 差分信号线。

75、76、72、73	P1_SS_xxx	USB3	1#下行端口 USBSS 差分发送或接收信号线。
68、67、71、70	P1C_SS_xxx	USB3	1#下行端口 Type-C 差分发送或接收信号线。
77、78	P1_HS_xx	USB2	1#下行端口 USB2.0 差分信号线。
20、19、23、22	P2_SS_xxx	USB3	2#下行端口 USBSS 差分发送或接收信号线。
27、28、24、25	P2C_SS_xxx	USB3	2#下行端口 Type-C 差分发送或接收信号线。
29、30	P2_HS_xx	USB2	2#下行端口 USB2.0 差分信号线。
15、14、18、17	P3_SS_xxx	USB3	3#下行端口 USBSS 差分发送或接收信号线。
12、13	P3_HS_xx	USB2	3#下行端口 USB2.0 差分信号线。
5、4、8、7	P4_SS_xxx	USB3	4#下行端口 USBSS 差分发送或接收信号线。
9、10	P4_HS_xx	USB2	4#下行端口 USB2.0 差分信号线。
40	PWREN1#	0	1#下行端口电源输出控制引脚，低电平开启。
39	PWREN2#	0	2#下行端口电源输出控制引脚，低电平开启。
36	PWREN3#	0	3#下行端口电源输出控制引脚，低电平开启。
35	PWREN4#	0	4#下行端口电源输出控制引脚，低电平开启。
41	OVCUR1#	I	1#下行端口过流检测输入引脚，低电平过流。
38	OVCUR2#	I	2#下行端口过流检测输入引脚，低电平过流。
37	OVCUR3#/ SMBCLK	I	3#下行端口过流检测输入引脚，低电平过流； SMBus 总线时钟信号线。
34	OVCUR4#/ SMBDAT	I/O	4#下行端口过流检测输入引脚，低电平过流； SMBus 总线数据信号线。
63	VBUS_DET	I	USB 总线 VBUS 状态检测输入，应将 VBUS 电源通过两个电阻分压后接入该引脚；不用此功能时，该引脚需短接 VIO33。
62	GANG_EN	I	在复位期间作为配置引脚，用于配置整体模式或独立模式，悬空或高电平为整体模式，低电平为独立模式，内置上拉电阻。
48	CHIP_EN	I	芯片工作使能控制； 低电平控制芯片进入低功耗模式，高电平控制芯片进入正常工作模式。
61	SPI_SCS	0	SPI 接口的片选输出。
59	SPI_SCK	0	SPI 接口的时钟输出。
58	SPI_MOSI	0	SPI 接口的数据输出。
60	SPI_MISO	I	SPI 接口的数据输入，内置上拉电阻。 如果芯片配置参数使能上行口交换功能，则该引脚切换成上行口和下行 PORT1 口交换控制输入引脚，悬空或上拉不切换，输入低电平控制切换。
57	RESET#	I	外部复位输入，内置上拉电阻，低电平有效，不使用时可以悬空，建议短接 VDD33 防干扰。
88	LED_B1	0	1#下行端口异常状态指示信号。
33	LED_B2	0	2#下行端口异常状态指示信号。
2	LED_B3/ FUN_CFG0	0	3#下行端口异常状态指示信号。 在复位期间作为 C 口工作模式配置引脚 0，配合 FUN_CFG1 引脚进行功能配置，参考表 5-3。
1	LED_B4/ FUN_CFG1	0	4#下行端口异常状态指示信号。 在复位期间作为 C 口工作模式配置引脚 1，配合 FUN_CFG0 引脚进行功能配置，参考表 5-3。
54	P1_CC1	I/O (FT)	1#下行端口 PD 协议通信引脚 CC1。
53	P1_CC2	I/O	1#下行端口 PD 协议通信引脚 CC2。

		(FT)	
52	P2_CC1	I/O (FT)	2#下行端口 PD 协议通信引脚 CC1。
51	P2_CC2	I/O (FT)	2#下行端口 PD 协议通信引脚 CC2。
3、11、50、55、79	NC	-	空脚，建议悬空

注 1：引脚类型缩写解释：

USB3 = USB3.0 信号引脚；

USB2 = USB2.0 信号引脚；

I = 信号输入；

O = 信号输出；

P = 电源或地；

NC = 空脚；

FT = 耐受 5V 电压。

5、功能说明

5.1 过流检测和电源控制

5.1.1 过流检测

CH634 部分型号支持两种过流保护模式：独立过流模式和整体过流模式，部分型号仅支持整体过流模式，如表 5-1 所示。

表 5-1 过流保护控制说明

芯片型号	过流配置	过流模式	过流检测的采样引脚	参考图
CH634F	-	整体过流	OVCUR#	图 5-2
CH634M	-	整体过流	OVCUR#	图 5-2
CH634W6G	-	整体过流	OVCUR#	图 5-2
CH634W5M CH634W6C	EEPROM 默认配置/ GANG_EN=高电平	独立过流	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 5-1
CH634W6T CH634W7G CH634W8G	EEPROM 配置成整体过 流/GANG_EN=低电平	整体过流	OVCUR1#	图 5-2
CH634W7R CH634W7S	EEPROM 默认配置	独立过流	OVCUR1#, OVCUR2#, OVCUR3#, OVCUR4#	图 5-1
CH634W7U CH634W7V	EEPROM 配置成整体过 流	整体过流	OVCUR1#	图 5-2

5.1.2 电源控制

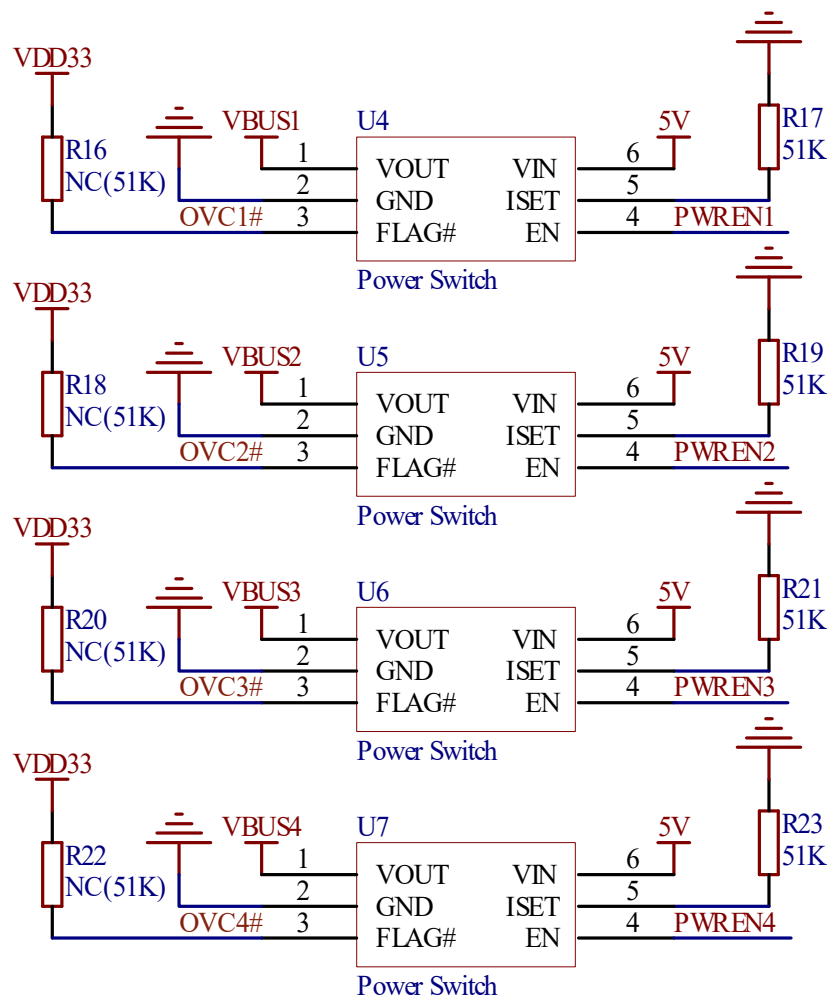
CH634 部分型号支持两种电源控制模式：独立电源控制模式和整体电源控制模式，部分型号仅支持整体电源控制模式，如表 5-2 所示。

表 5-2 电源控制说明

芯片型号	电源控制配置	电源控制	电源控制引脚	参考图
CH634F	-	整体控制	PWREN#	图 5-2
CH634M	-	整体控制	PWREN#	图 5-2
CH634W6C	-	整体控制	PWREN#	图 5-2
CH634W6G	-	整体控制	PWREN#	图 5-2
CH634W5M CH634W6T	EEPROM 默认配置/ GANG_EN=高电平	独立控制	PWREN1#, PWREN2#, PWREN3#, PWREN4# (注: W5M 和 W6T 默认为高电平有效)	图 5-1
CH634W7G CH634W8G	EEPROM 配置成整体控制 /GANG_EN=低电平	整体控制	PWREN1# (注: W5M 和 W6T 默认为高电平有效)	图 5-2
CH634W7R CH634W7S	EEPROM 默认配置	独立控制	PWREN1#, PWREN2#, PWREN3#, PWREN4# (注: W7V 默认为高电平有效)	图 5-1
CH634W7U CH634W7V	EEPROM 配置成整体控制	整体控制	PWREN1# (注: W7V 默认为高电平有效)	图 5-2

5.1.3 独立过流检测和独立电源控制

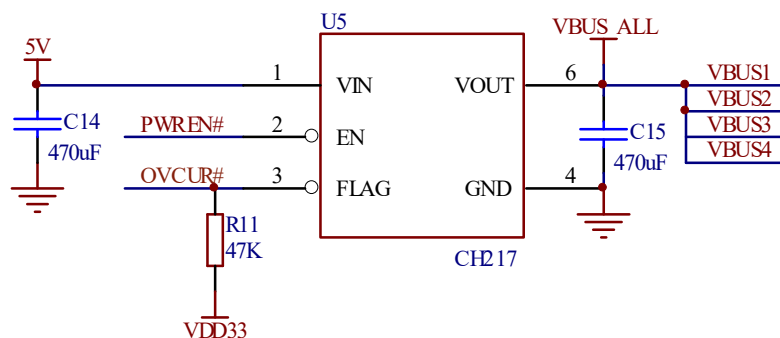
图 5-1 CH634 独立过流检测和独立电源控制



上图中，VBUS1-VBUS4 分别连接下行端口 1-4 的 VBUS 电源引脚。U4~U7 为 USB 限流配电开关芯片，内部集成了过流检测，用于 VBUS 电源分配管理。在 5V 没有外部供电的应用中，建议通过 ISET 外接电阻将限流设置在 1A 以下甚至 500mA。U4~U7 的 FLAG 引脚是开漏输出，需要分别通过电阻上拉。CH634 芯片的 OVCUR# 引脚提供内置的弱上拉电流，所以可省掉电阻 R16、R18、R20 和 R22。部分型号 CH634 芯片的 PWRENx# 引脚开启电源时输出为低电平，部分型号 CH634 芯片的 PWRENx# 引脚开启电源时输出为高电平（不适用上图），可通过 PWREN_POL 引脚进行配置或通过 EEPROM 进行参数配置。

5.1.4 整体过流检测和整体电源控制

图 5-2 整体过流检测和整体电源控制



U5 为 USB 限流电源开关芯片，例如 CH217 芯片或类似功能的芯片。默认配置下可以省掉 R11。C14 的容量可以根据需要选择。VBUS-ALL 同时连接下行端口 1-4 的 VBUS 电源引脚。U5 的限流设置值需考

虑 4 个下行端口及是否自供电。

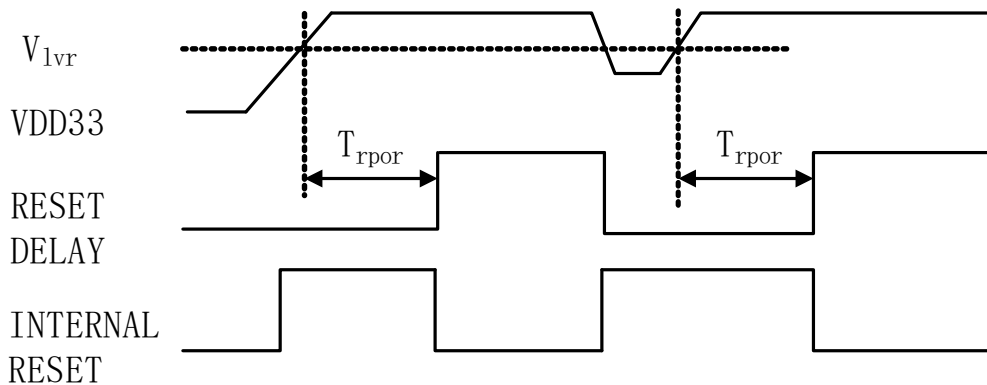
5.2 复位

芯片内嵌有上电复位模块，一般情况下，无需外部提供复位信号。同时也提供了外部复位输入引脚 RESET#，该引脚内置有上拉电阻。

5.2.1 上电复位

当电源上电时，芯片内部 POR 上电复位模块会产生上电复位时序，并延时 T_{rpor} 约 25mS 以等待电源稳定。在运行过程中，当电源电压低于 V_{lvr} 时，芯片内部 LVR 低压复位模块会产生低压复位直到电压回升，并延时以等待电源稳定。下图为上电复位过程以及低压复位过程。

图 5-3 上电期间复位



5.2.2 外部复位

外部复位输入引脚 RESET#已内置上拉电阻，如果外部需要对芯片进行复位，那么可以将该引脚驱动为低电平，复位的低电平脉宽需要大于 4 μ S。

5.3 总线供电与自供电

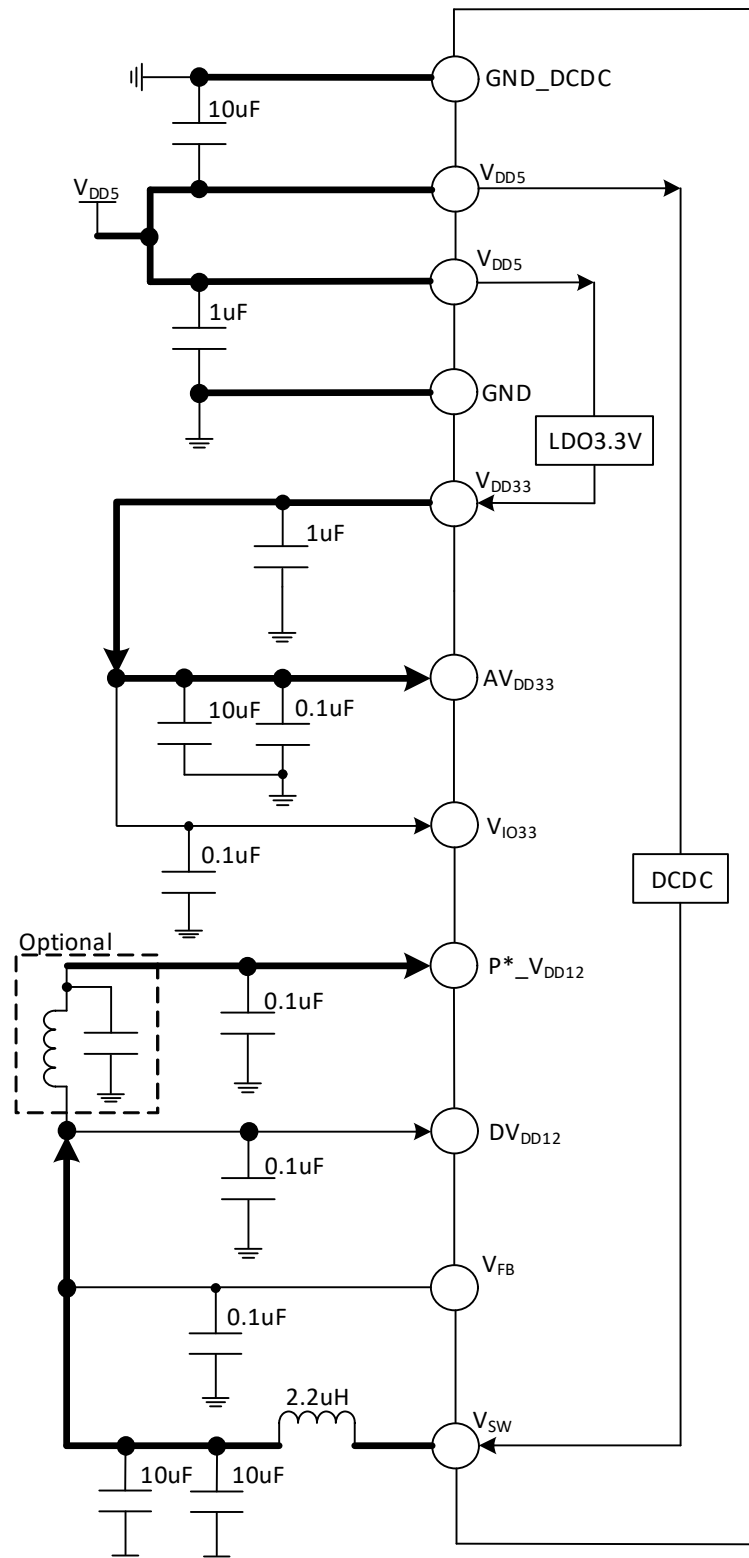
CH634 支持 USB 总线供电模式和自供电模式。总线供电来自 USB 上行端口，供电能力为 500mA 或 900mA、1.5A 等多种标准，USB 线材内阻损耗和 HUB 自身消耗会降低对下行端口的供电能力，下行端口电压可能偏低。自供电通常来自外部电源端口，取决于外部电源供电能力。

由于自供电与总线供电的电压难以完全相等，所以 HUB 需要避免两者直接短接而产生大电流。另外，当 USB 上行端口断电后，HUB 也要避免自供电的外部电源向 USB 总线及 USB 主机倒灌电流。

5.3.1 单一 5V 供电方案

有 VDD5 引脚的 CH634 支持单一 5V 供电方案，使用内置的 LDO 和 DC-DC。额定 5V 从 VDD5 输入，提供给 LDO 调压器和 DC-DC 降压器，LDO 调压器产生 3.3V 到 VDD33 再连接到 AVDD33 和 VI033，DC-DC 降压器产生 1.2V 连接到 VDD12 和 P*_VDD12 及 VFB，建议 1.2V 电源经 LC 滤波后再提供给 P*_VDD12。3.3V 电源的对地电容累计不小于 10 μ F，1.2V 电源的对地电容累计不小于 10 μ F，建议双 10 μ F 电容并联，5V 电源的对地电容不小于 10 μ F。5V 供电支持较宽的电压范围，可低至 4V，建议 5V 电源加上 5.5V 过压保护器件。

图 5-4 单一 5V 供电方案示意图

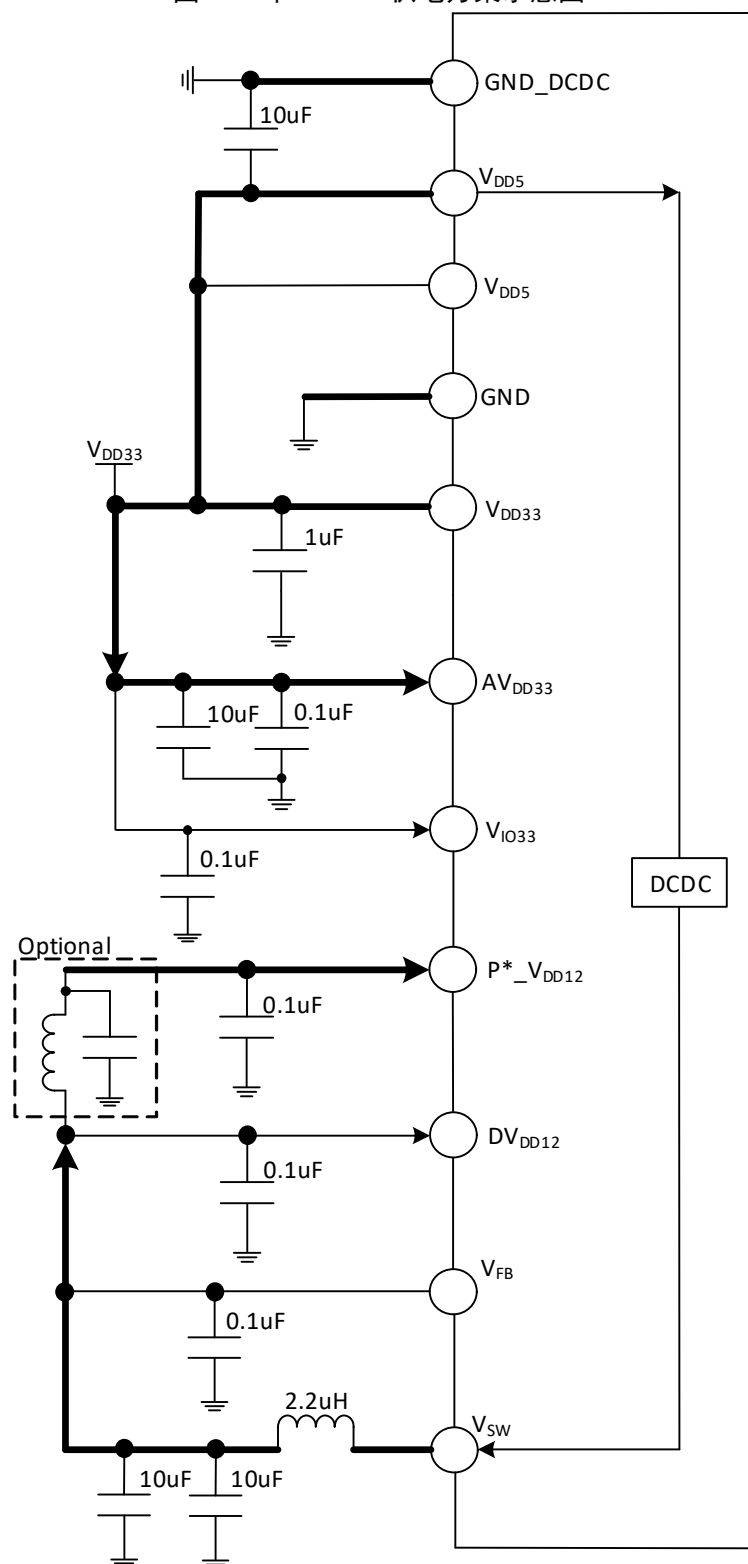


注：图中加粗的线表示电流较大，设计 PCB 时需要保证足够的线宽和过孔数量。

5.3.2 单一 3.3V 供电方案

有 VDD5 引脚的 CH634 支持单一 3.3V 供电方案，使用内置的 DC-DC。额定 3.3V 连接到 AVDD33 和 VIO33 及 VDD33，同时，额定 3.3V 从 VDD5 输入，提供给 DC-DC 降压器，DC-DC 降压器产生 1.2V 连接到 VDD12 和 P*_VDD12 及 VFB，建议 1.2V 电源经 LC 滤波后再提供给 P*_VDD12。3.3V 电源的对地电容累计不小于 10uF，1.2V 电源的对地电容累计不小于 10uF，建议双 10uF 电容并联。

图 5-5 单一 3.3V 供电方案示意图



注：图中加粗的线表示电流较大，设计 PCB 时需要保证足够的线宽和过孔数量。

5.3.3 3.3V+1.2V 双供电方案

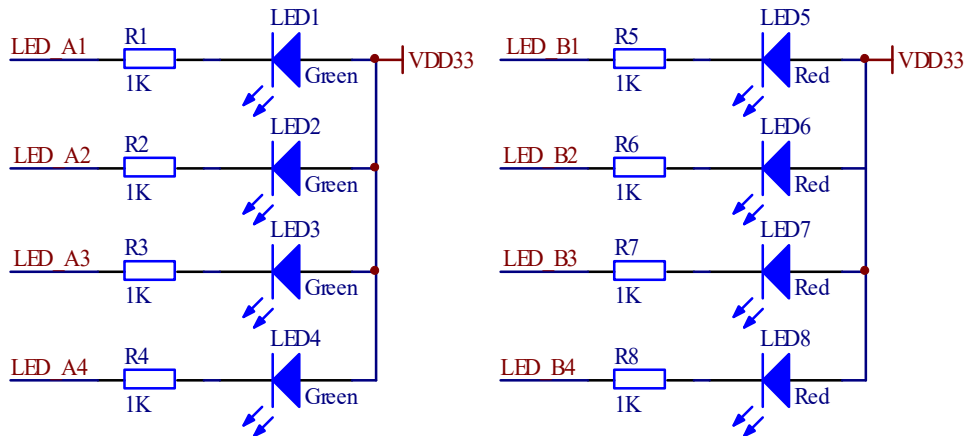
没有 VDD5 引脚的 CH634 仅支持 3.3V+1.2V 双供电方案。额定 3.3V 连接到 AVDD33 和 VI033，同时，额定 1.2V 连接到 VDD12 和 P*_VDD12。3.3V 电源的对地电容累计不小于 10uF，1.2V 电源的对地电容累计不小于 10uF。

5.4 LED 指示灯

CH634 芯片部分型号提供了下行端口状态 LED 指示灯控制引脚，端口对应的绿灯亮起表明端口状态正常，绿灯熄灭表明端口无设备或挂起 Suspend，端口对应的红灯亮起表明端口异常。

图 5-6 为 CH634W7G 芯片的 8 灯模式应用示意图，其中 LED1-4 分别为端口 1-4 的正常状态指示灯（绿灯），点亮表明端口有设备插入且端口正常，熄灭表明端口无设备或挂起 Suspend。LED5-8 分别为端口 1-4 的异常状态指示灯（红灯），点亮表明端口异常，比如过流。

图 5-6 CH634W7G 芯片的 8 灯模式应用示意图



5.5 I/O 功能配置

CH634 芯片的部分功能可以通过 4 种方式进行配置：内置 EEPROM、外置 EEPROM、外置 SPI 接口 FLASH 和配置引脚。外部 EEPROM 和外置 SPI 接口 FLASH 的参数配置功能优先级高于内部 EEPROM 的参数配置功能，内部 EEPROM 的参数配置功能优先级高于引脚配置功能。配置引脚一般为复用引脚，在复位期间作为配置引脚，复位完成之后，再切换到对应的功能引脚。不同型号的具体配置引脚见对应的引脚说明列表。

CH634W8G 芯片具有 3 种 C 口工作模式，可通过 LED_B4/FUN_CFG1 和 LED_B3/FUN_CFG0 引脚进行配置选择。

表 5-3 CH634W8G 芯片 C 口工作模式配置

C 口工作模式	LED_B4/ FUN_CFG1 电平	LED_B3/ FUN_CFG0 电平	功能描述
模式 0	1	1	上行口为 A 型接口，下行口为 2 个 Type-C 接口+2 个 A 型接口，Type-C 接口支持正反插自适应。
模式 1	1	0	上行口为 Type-C 接口，下行口为 1 个 Type-C 接口+3 个 A 型接口，Type-C 接口支持正反插自适应。
模式 2	0	1	上行口为单面 Type-C 接口，下行口为 1 个 Type-C 接口+3 个 A 型接口，且支持 Type-C/PD 快充功能，应用于 PDHUB。

5.6 参数配置接口

CH634 部分型号提供两线 I2C 接口 (SCL 和 SDA) 与外部 EEPROM 存储芯片通信，EEPROM 芯片地址为 0。CH634 部分型号提供四线 SPI 接口 (SCS、SCK、MOSI 和 MISO) 与外部 SPI 接口的 FLASH 存储芯片通信。EEPROM 或 FLASH 中存储有自定义的厂商 ID、产品 ID、下行端口个数、下行端口的设备不可移除特性、USB 字符串描述符和功能配置等信息。

图 5-7 外部 EEPROM 连接示意图

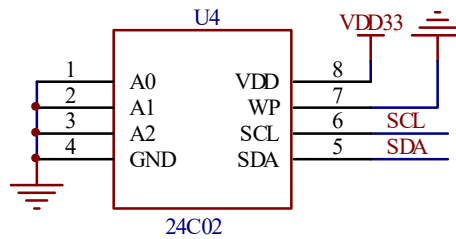
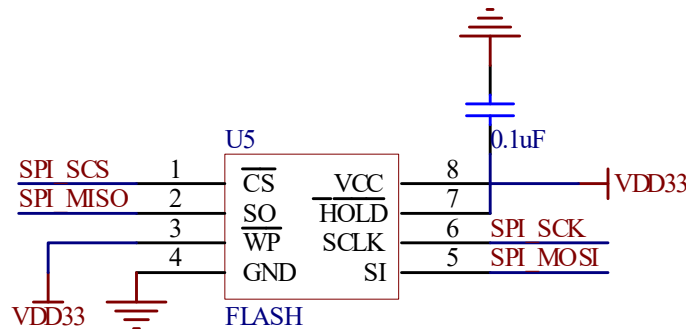


图 5-8 外部 FLASH 连接示意图



CH634 内置信息存储器，针对行业特殊需求可以代替外部 EEPROM 或 FLASH 批量定制厂商或产品信息及配置，例如设置下行端口个数，设置下行端口的设备不可移除特性等。

5.7 SMBus 配置接口

CH634 部分型号提供两线 SMBus 从机接口与外部主控芯片通信，SMBus 接口包含 SMCLK 和 SMDAT 两个引脚，通信地址为 0x2C，支持块读和块写操作，每块最多为 32 个字节。外部主控可以通过 SMBus 接口对芯片内置的 EEPROM 进行读写操作。图 5-9 为块读示意图，图 5-10 为块写示意图。

图 5-9 块读示意图

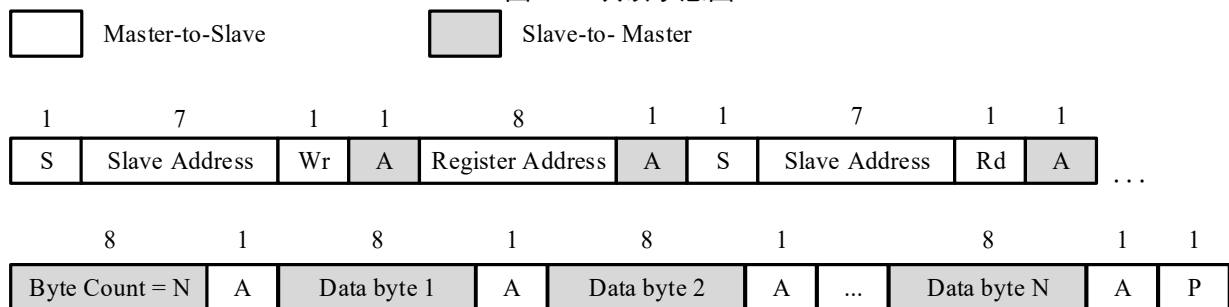
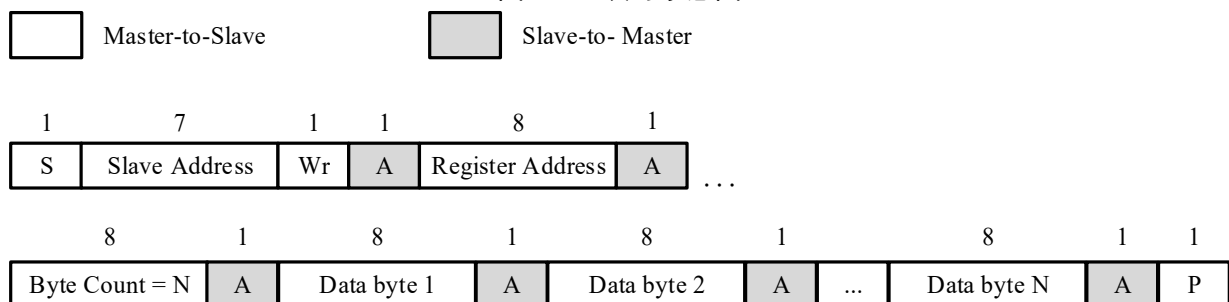


图 5-10 块写示意图



5.8 EEPROM 配置

CH634 支持从外部 EEPROM/FLASH 或内部 EEPROM 中加载厂商识别码 VID、产品识别码 PID、USB 字符串描述符和功能配置等配置信息，如果 EEPROM 中的信息无效，则自动装载默认配置信息。表 5-4 为内置/外置 EEPROM/FLASH 具体配置信息描述。保留字节或保留位，在写入操作时需要按照原先读取的值写入。

表 5-4 内置/外置 EEPROM/FLASH 配置信息

偏移地址	参数简称	参数说明	默认值
00h	VID_L	厂商识别码 VID 的低字节。	86h
01h	VID_H	厂商识别码 VID 的高字节。	1Ah
02h	PID_L	产品识别码 PID 的低字节，默认为 A0h。 注:USB2.0 的 PID 为 A0h,USB3.0 的 PID 为 A1h。	A0h
03h	PID_H	产品识别码 PID 的高字节。	80h
04h	bcdDevice_L	bcdDevice 低字节，用于指示芯片封装型号； 固定，不可修改。	跟随 型号
05h	bcdDevice_H	bcdDevice 高字节，用于指示芯片版本； 固定，不可修改。	跟随 型号
06h	Fun_Cfg1	功能性配置字节 1。 Bit7: 供电模式选择； 0: 总线供电模式(默认)； 1: 自供电模式； Bit6: 保留； Bit5: 高速模式禁止控制； 0: 高速模式使能(默认)； 1: 高速模式禁止； Bit4: STT 和 MTT 模式选择； 0: STT 模式； 1: MTT 模式(默认)； Bit3: 保留； Bit2-1: 端口过流功能控制； 00: 整体过流控制； 01: 独立过流控制； 1x: 不支持过流控制； Bit0: 端口电源控制； 0: 整体电源控制； 1: 独立电源控制。	跟随 型号
07h	Fun_Cfg2	功能性配置字节 2。 Bit7: 保留； Bit6: 保留； Bit5: 保留； Bit4: 保留； Bit3: HUB 是否是 Compound Device； 0: 不是； 1: 是； Bit2-0: 保留。	20h
08h	Fun_Cfg3	功能性配置字节 3。 Bit7-4: 保留； Bit3: 端口重映射功能控制； 0: 禁止(默认)； 1: 使能。	00h

		Bit2-1: 保留; Bit0: 字符串描述符使能控制; 0: 禁止(默认); 1: 使能。	
09h	Dev_ Removable	下行端口设备是否可移除控制。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 的设备是否可移除; 0: 可移除(默认); 1: 不可移除; Bit0: 保留, 必须为 0。	跟随 型号
0Ah	Port_Dis_Sp	自供电模式下端口禁止。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Bh	Port_Dis_Bp	总线供电模式下端口禁止。 Bit7-5: 保留; Bit4-1: 下行端口 4-1 是否禁止; 0: 使能(默认); 1: 禁止; Bit0: 保留, 必须为 0。	00h
0Ch	MaxPwr_Sp	自供电模式下最大工作电流, 单位为 2mA。	01h
0Dh	MaxPwr_Bp	总线供电模式下最大工作电流, 单位为 2mA。	32h
0Eh	HubCurrent_Sp	自供电模式下 HUB 要求的最大电流。	01h
0Fh	HubCurrent_Bp	总线供电模式下 HUB 要求的最大电流。	32h
10h	Pwr_OnTime	下行端口上电到电源有效的延迟时间。	32h
11h	LanguageID_H	语言 ID 高字节。	00h
12h	LanguageID_L	语言 ID 低字节。	00h
13h	Vendor_StrLen	厂商字符串描述符长度。	00h
14h	Product_StrLen	产品字符串描述符长度。	00h
15h	SN_StrLen	序列号字符串描述符长度。	00h
16h-53h	Vendor String	厂商字符串描述符; Unicode 码格式的厂商字符串描述符。	00h
54h-91h	Product String	产品字符串描述符; Unicode 码格式的产品字符串描述符。	00h
92h-CFh	Serial Number String	序列号字符串描述符; Unicode 码格式的序列号字符串描述符。	00h
D0h	PortNum	下行端口个数, 有效范围: 1-4。	跟随 型号
D1h	bcdUSB_L	USB 版本低字节。 bcdUSB_L=0x00, USB2.00; bcdUSB_L=0x01, USB2.01; bcdUSB_L=0x10, USB2.10。	10h
D2h	Fun_Cfg4	功能性配置字节 4。 Bit7-2: 保留, 写入时需要写入原读取的值; Bit1: 强制下行端口为全速模式; 0: 高速模式(默认); 1: 全速模式; Bit0: 指示灯功能使能配置;	00h

		0: 禁止 (默认); 1: 使能。	
D3h	Fun_Cfg5	<p>功能性配置字节 5。</p> <p>Bit7: LED 指示灯极性配置; 0: 低电平有效 (默认); 1: 高电平有效;</p> <p>Bit6: 端口过流检测极性配置; 0: 低电平有效 (默认); 1: 高电平有效;</p> <p>Bit5: 端口电源控制极性配置; 0: 低电平有效 (部分型号默认); 1: 高电平有效 (部分型号默认);</p> <p>Bit4: 端口 BC 充电配置; 0: 禁止 (默认); 1: 使能;</p> <p>Bit3: LPM 配置是否使能; 0: 禁止; 1: 使能 (默认);</p> <p>Bit2: 上行口交换功能是否使能; 0: 禁止 (默认); 1: 使能;</p> <p>Bit1-0: 保留。</p>	跟随 型号
D4-E3h	BOS_UUID	BOS 描述符中的 UUID 字段, 占 16 个字节。	00h
E4-FEh	Reserved	保留。	00h
FFh	Switch_Ctl	上行口交换功能控制字节; 该字节默认为 00h, 写入 C0h 则控制切换, 写入 80h 取消切换, 写入其他值无效。	00h

6、参数

6.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	°C
T_J	结温度范围	-40	100	°C
T_S	储存时的环境温度	-55	150	°C
V_{DD5}	LDO 调压器和 DC-DC 降压器输入电源电压 (V_{DD5})	-0.4	5.5	V
$*V_{DD33}$	工作电源电压 (V_{DD33}/AV_{DD33})	-0.4	4.0	V
V_{I033}	I/O 电源电压 (V_{I033})	-0.4	4.0	V
$*V_{DD12}$	USB 模块电源电压 ($P*_V_{DD12}$) / 内核电源电压 (DV_{DD12})	-0.4	1.5	V
V_{FB}	DCDC 电压反馈端	-0.4	1.5	V
V_{USB2}	USB2.0 物理信号引脚上的电压	-0.4	$V_{DD33}+0.4$	V
V_{USB3}	USB3.0 物理信号引脚上的电压	-0.4	$V_{DD12}+0.4$	V
V_{IN}	FT（耐受 5V）引脚上的输入电压	-0.4	5.5	V
	其他引脚上的输入电压	-0.4	$V_{I033}+0.4$	V
$V_{ESD(HBM)}$	普通 I/O 引脚的 ESD 静电放电电压 (HBM)	4K		V

6.2 电气参数（测试条件： $T_A = 25^{\circ}\text{C}$ ， $*V_{DD33} = V_{I033} = 3.3\text{V}$ ， $*V_{DD12} = 1.2\text{V}$ ）

名称	参数说明	最小值	典型值	最大值	单位
V_{DD5}	LDO 调压器和 DCDC 降压器输入电源电压	4.0	5.0	5.25	V
$*V_{DD33}$	单一 3.3V 供电方案或芯片封装没有 VDD5 引脚情况下的工作电源电压	3.2	3.3	3.4	V
	单一 5V 供电方案下的工作电压 (LDO 调压器输出)	3.2	3.3	3.4	V
$*V_{DD12}$	USB 模块电源电压 ($P*_V_{DD12}$) / 内核电源电压 (DV_{DD12})	1.18	1.2	1.3	V
V_{I033}	I/O 引脚供电电压	3.0	3.3	3.6	V
I_{SLP}	深度睡眠电源电流 (不含 1.5K Ω 上拉)		1.7		mA
V_{IL}	低电平输入电压	标准 I/O 引脚	0	0.8	V
		FT I/O 引脚	0	0.8	V
V_{IH}	高电平输入电压	标准 I/O 引脚	2.0	V_{I033}	V
		FT I/O 引脚	2.0	5.0	V
V_{OL}	低电平输出电压		0.4	0.6	V
V_{OH}	高电平输出电压	$V_{I033}-0.6$	$V_{I033}-0.4$		V
R_{PU}	上拉等效电阻		70		K Ω
R_{PD}	下拉等效电阻		70		K Ω

6.3 典型工作电流（测试条件：CH634W8G， $T_A = 25^{\circ}\text{C}$ ）

下行口连接设备个数		单一 5V 供电方案		3.3V+1.2V 双供电方案		单位
		5V 电源		3.3V 电源	1.2V 电源	
USB3.0	睡眠状态	0.35		0.16	1.3	mA
	挂起状态	1.9		2.4	1.2	mA
	1	88.1		19.6	234	mA
	2	114		19.6	308	mA

	3	141	19.6	380	mA
	4	170	19.6	450	mA
USB2.0	睡眠状态	0.35	0.16	1.3	mA
	挂起状态	1.9	2.4	1.2	mA
	1	46	41	17	mA
	2	59	55	17.1	mA
	3	73	71	17.3	mA
	4	97	84	17.5	mA

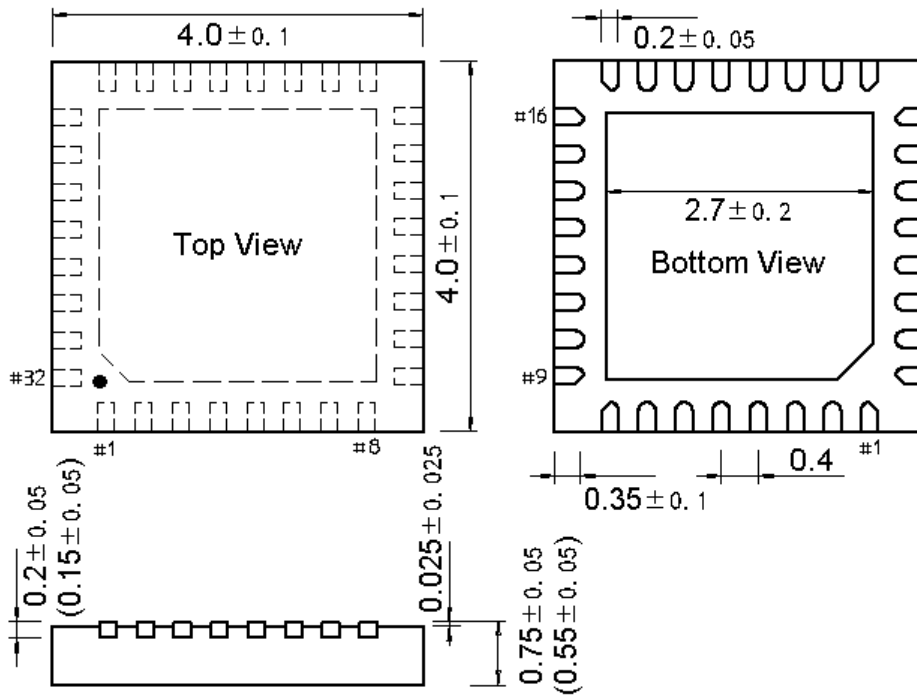
注：单一 5V 供电方案只从 5V 消耗电流；而 3.3V+1.2V 双供电方案分别从 3.3V 和 1.2V 消耗电流。

7、封装信息

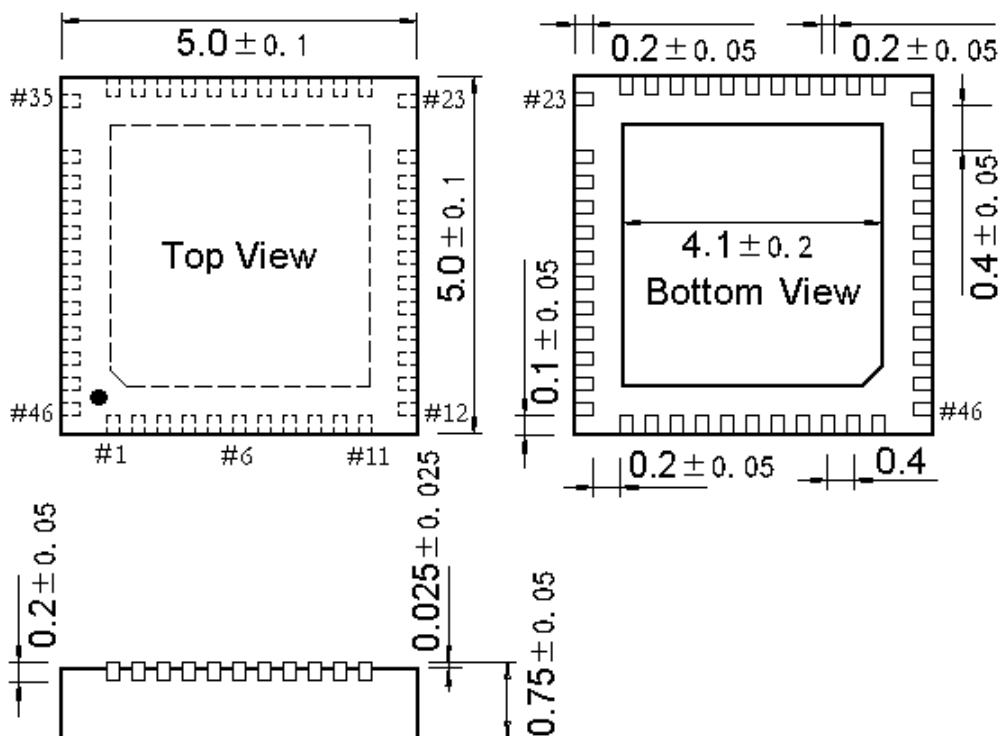
说明：尺寸标注的单位是 mm（毫米）。

引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{mm}$ 。

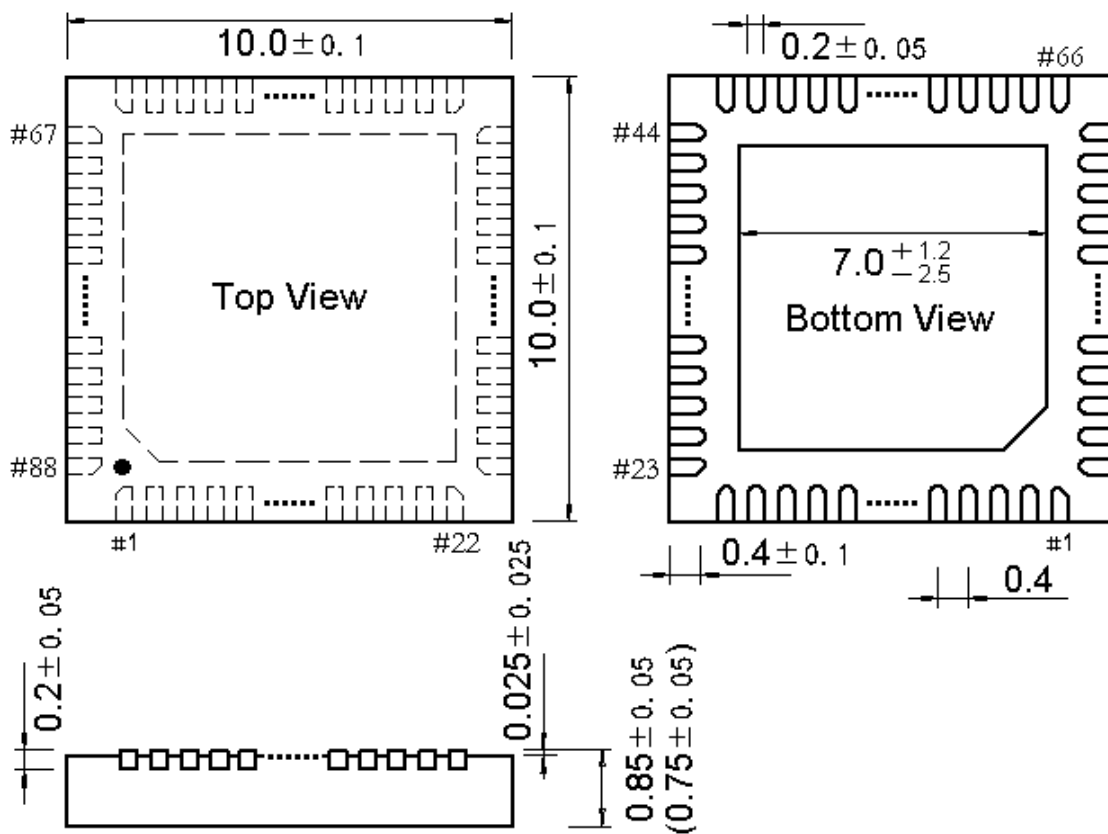
7.1 QFN32



7.2 QFN46C5



7.3 QFN88



8、应用

8.1 CH634W8G 芯片参考电路图

下图 8-1 为 CH634W8G 芯片工作在模式 0 的参考电路图。P1-P4 为 HUB 的 4 个下行 USB 口，其中 P1 和 P2 为 Type-C 接口，兼容 USB-C 线缆和连接规范，原生支持 Type-C 正反插自适应，P3 和 P4 为 A 型接口，P5 为 HUB 的上行 USB 口，P6 为外部供电 Type-C 接口。

U3 是低压降理想二极管 CH213，它具有简单的过流和短路保护功能，且保护响应更快，可以替代保险电阻 Fuse。主要用于避免 P6 外部电源向上行端口 P5 的 VDD5 倒灌，尤其是上行端口例如计算机关机而 P6 外部仍然供电时的情况。理论上 U3 可以换成肖特基二极管，但需要选择自身压降较低的器件，否则会降低下行端口 VBUS 的输出电压，在 300mA 负载电流时，肖特基二极管的压降约 0.3V，理想二极管的压降约 0.05V。由于 P6 自身及外部电源通常没有负载，所以一般不考虑 P5 向 P6 的倒灌。

CH634W8G 芯片默认工作在独立电源配电控制和独立过流检测模式，可通过 GANG_EN 引脚配置成整体电源配电控制和整体过流检测。U4-U7 是支持过流保护的 USB 配电开关芯片 CH217。图中 R17、R19、R22 和 R25 根据电源供电能力设置限流门限，USB 限流电源开关芯片的 FLAG# 引脚可以产生过流或过温报警信号通知 HUB 控制器及计算机，CH634W8G 的 OVCUR# 引脚已内置上拉电阻。

CH634W8G 芯片的 P1 和 P2 端口也可以作为 A 型接口使用，如果 USB3.0 信号线使用 PxC_SS_RXA、PxC_SS_RXB、PxC_SS_TXA 和 PxC_SS_TXB，则 PxC_CC2 引脚需要通过 5.1K 电阻接地；如果 USB3.0 信号线使用 Px_SS_RXA、Px_SS_RXB、Px_SS_TXA 和 Px_SS_TXB，则 Px_CC1 引脚需要通过 5.1K 电阻接地。

设计 PCB 时需考虑实际工作电流承载能力，VDD5、VBUS_OUT*、5V 和 P6 及各端口 GND 走线路径的 PCB 尽可能宽，如有过孔则建议多个并联。

在下行端口 USB 设备带电热插拔的瞬间，动态负载可能使 VBUS 和 5V 电压瞬时跌落，进而可能产生 LVR 低压复位，从而出现整个 HUB 断开再连接的现象。改进方法：①在规范允许范围内加大 5V 电源的电解电容（加大图示 C14 容量），缓解跌落；②加大 HUB 芯片电源输入端的电容（加大图示 C37 容量，例如 22uF）；③增强 5V 供电能力或改为自供电，另外，提升 USB 线材质量也会改善供电能力。

建议 5V 加过压保护器件，建议所有 USB 信号加 ESD 保护器件，例如 CH412K，其 VCC 应接 3.3V。

图 8-1 CH634W8G 芯片参考电路图

