

## HSPI FPGA 验证说明

本次 FPGA 验证流程为 FPGA 以 16 位模式向 CH569 发送数据, CH569 根据接收情况打印字符表明接收结果。

发送方: FPGA (型号 EP4CE115F23I7)

接收方: CH569

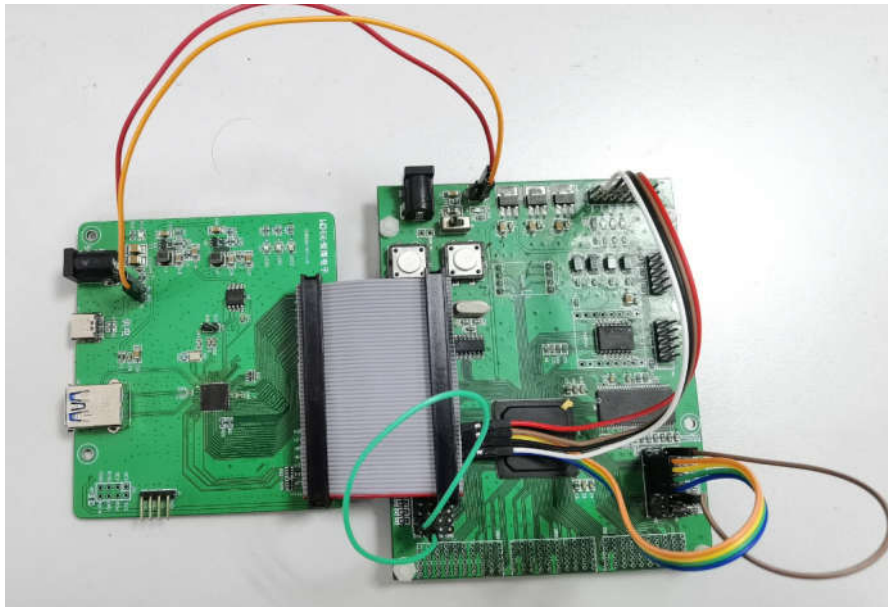
速度: 120MHz

位宽: 16bits

包长度: 512bytes

HSPI 收发模式: 普通模式

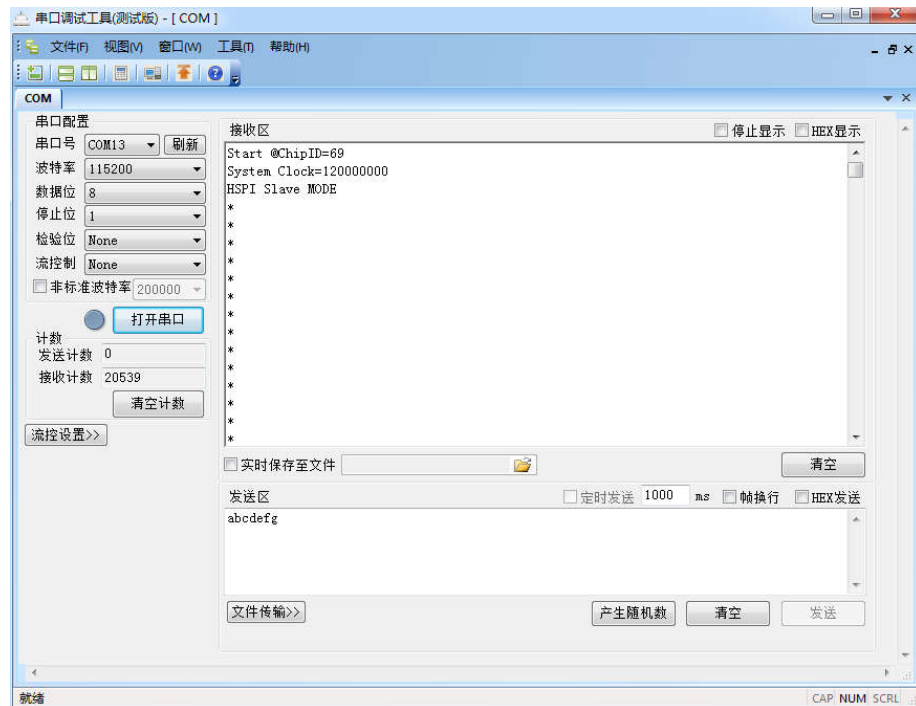
板子连接:



HSPI 中断服务函数:

```
268  if(R8_HSPI_INT_FLAG & RB_HSPI_IF_R_DONE){ //单包接收完成
269      R8_HSPI_INT_FLAG = RB_HSPI_IF_R_DONE; //Clear Interrupt
270
271      //判断CRC是否正确
272  if(R8_HSPI_RTX_STATUS & RB_HSPI_CRC_ERR){ //CRC 校验 err
273  //
274      R8_HSPI_CTRL &= ~RB_HSPI_ENABLE;
275      PRINT("C\r\n");
276  }
277
278  //接收序列号是否匹配, (不匹配, 修改包序列号)
279  if(R8_HSPI_RTX_STATUS & RB_HSPI_NUM_MIS){ //不匹配
280      PRINT("N\r\n");
281  }
282
283  //CRC 正确, 接收序列号 匹配 (数据正确接收)
284  if((R8_HSPI_RTX_STATUS & (RB_HSPI_CRC_ERR|RB_HSPI_NUM_MIS))==0){
285  #if (HSPI_MODE==Slave_MODE)
286      Rx_End_Flag = 1;
287      PRINT("*\r\n");
288  #endif
```

CH569 打印信息:



注意事项:

1. FPGA 与 CH569 距离尽可能短, 长线连接, 在调试过程中, 无论怎样约束, 时钟上不去。
2. FPGA 与 CH569 多共几个 GND 信号。
3. Sdc 文件中约束好数据对齐关系。
4. 本次验证中, HTCLK 未使用 EXM\_HSPI 的输出时钟, 选择的是 PLL 的输出时钟, 频率与 HSPI 发送时钟一致, 相位相差 225(deg)。
5. 若仅是 FPGA 发送过程, 则 FPGA 的 HRACT 固定接 GND。